

SIGNAL DELAY CIRCUIT, CLOCK SIGNAL GENERATING CIRCUIT AND INTEGRATED CIRCUIT SYSTEM

Publication number: JP4105411

Publication date: 1992-04-07

Inventor: MOGI HIROYUKI

Applicant: TOKYO SHIBAURA ELECTRIC CO; TOSHIBA MICRO ELECTRONICS

Classification:

- international: H03H11/26; H03K5/13; H03L7/00; H03L7/081;
H03K5/00; H03H11/26; H03K5/13; H03L7/00;
H03L7/08; H03K5/00; (IPC1-7): H03H11/26; H03L7/00

- european: H03K5/13D2; H03L7/081

Application number: JP19900223620 19900824

Priority number(s): JP19900223620 19900824

Also published as:

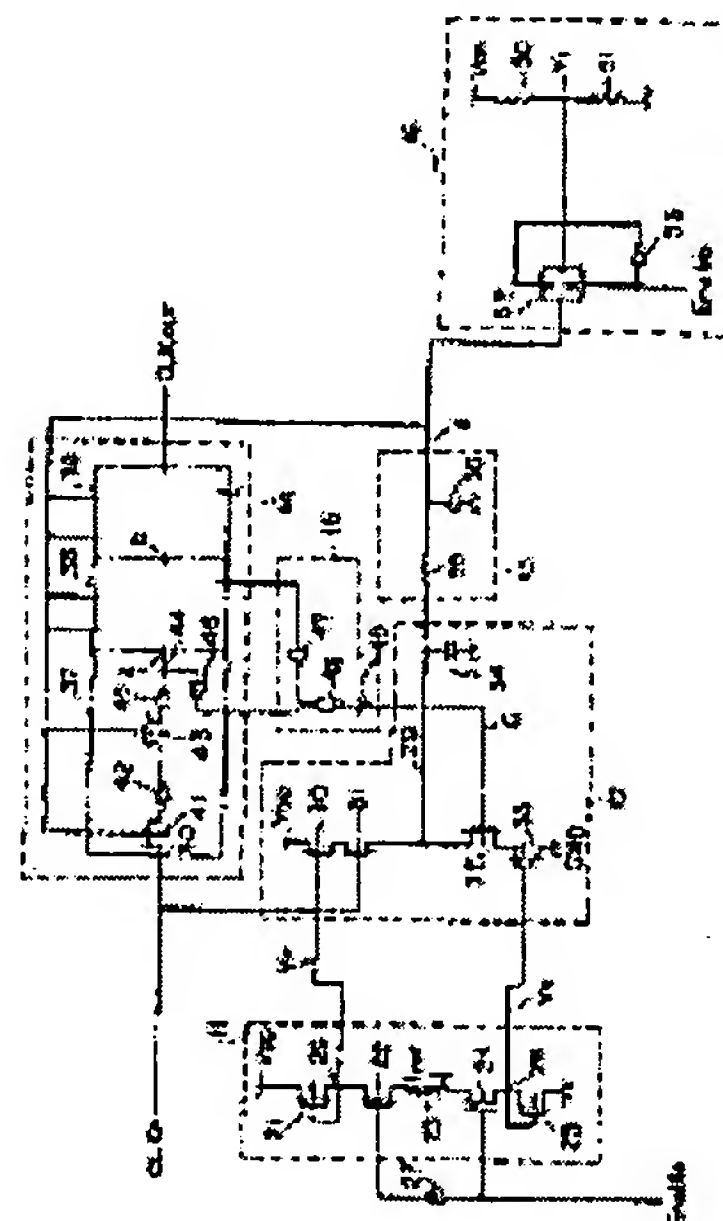
EP0472211 (A1)
US5221863 (A1)

[Report a data error here](#)

Abstract of JP4105411

PURPOSE: To always obtain a prescribed delay by applying an input signal of a prescribed frequency to a 1st delay means and controlling a delay at each delay stage by a phase locked loop comprising a charge pump circuit, a 1st delay means and a 1st logic circuit.

CONSTITUTION: When an enable signal Enable goes to H, transistors (TRs) 22, 24 in a reference current setting circuit 11 are turned on and the reference current setting circuit 11 is operative. When a current capability ratio of TRs 30, 33 is coincident with a reciprocal of the ratio of pulse width of an input signal CLKIN and an output signal (c) of a logic circuit 15, the charge flowing into a capacitor 34 and a charge flowing out thereof are equal to each other. Thus, a voltage of an output signal (d) from a low pass filter circuit 13 is set to an optional value. In this case, the ON-resistance in TRs 41, 43 of each delay stage in a delay circuit 14 receiving the signal (d) is made constant and the signal delay in each delay is made constant.



Data supplied from the esp@cenet database - Worldwide

⑫ 公開特許公報(A)

平4-105411

⑮ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)4月7日

H 03 H 11/26
H 03 L 7/00A 8731-5J
A 9182-5J

審査請求 未請求 請求項の数 7 (全20頁)

⑭ 発明の名称 信号遅延回路、クロック信号発生回路及び集積回路システム

⑯ 特 願 平2-223620

⑰ 出 願 平2(1990)8月24日

⑱ 発 明 者 茂 木 宏 之 神奈川県川崎市川崎区駅前本町25番地1 東芝マイクロエレクトロニクス株式会社内

⑲ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑲ 出 願 人 東芝マイクロエレクトロニクス株式会社 神奈川県川崎市川崎区駅前本町25番地1

⑳ 代 理 人 弁理士 鈴江 武彦 外3名

明 細 書

1. 発明の名称

信号遅延回路、クロック信号発生回路及び集積回路システム

2. 特許請求の範囲

(1) それぞれが制御信号に基づいて信号遅延時間が制御される少なくとも1個の遅延段からなり、入力信号を遅延して出力信号を得る第1の遅延手段と、

上記第1の遅延手段における信号遅延量を検出する第1の論理回路と、

容量を有し、上記入力信号及び上記第1の論理回路の検出信号に基づいてこの容量を基準電流のそれぞれ任意倍の電流で充、放電制御することによって直流電圧を発生すると共に、このときの充、放電電流の能力比が上記入力信号と上記第1の論理回路の検出信号とのパルス幅の比の逆数となるように設定されたチャージポンプ回路と、

上記チャージポンプ回路の出力を上記第1の遅延手段に制御信号として帰還する第1の帰還手段

と、

上記制御信号に初期値を与える初期値設定手段と

を具備したことを特徴とする信号遅延回路。

(2) 前記チャージポンプ回路の出力を前記第1の遅延手段に帰還する前記第1の帰還手段の途中にローパスフィルタ回路が挿入されている請求項1記載の信号遅延回路。 (3) それぞれが制御信号に基づいて信号遅延時間が制御される少なくとも1個の遅延段からなり、入力信号を遅延する第1の遅延手段と、

上記第1の遅延手段内の遅延段と同様に構成され、上記制御信号に基づいて信号遅延時間が制御される少なくとも1個の遅延段からなる第2の遅延手段と、

上記第1の遅延手段における信号遅延量を検出する第1の論理回路と、

容量を有し、上記入力信号及び上記第1の論理回路の検出信号に基づいてこの容量を基準電流のそれぞれ任意倍の電流で充、放電制御すること

よって直流電圧を発生すると共に、このときの充電電流の能力比が上記入力信号と上記第1の論理回路の検出信号とのパルス幅の比の逆数となるように設定されたチャージポンプ回路と、

上記チャージポンプ回路の出力を上記第1、第2の各遅延手段に制御信号として帰還する第1の帰還手段と、

上記第2の遅延手段の出力をその入力側に帰還させ、出力クロック信号を得るための発振回路を上記第2の遅延手段と共に構成する第2の帰還手段と、

上記制御信号に初期値を与える初期値設定手段と

を具備したことを特徴とするクロック信号発生回路。

(4) 前記チャージポンプ回路の出力を前記第1、第2の各遅延手段に帰還する前記第1の帰還手段の途中にローパスフィルタ回路が挿入されている請求項3記載のクロック信号発生回路。

(5) それぞれが制御信号に基づいて信号遅延

上記発振周波数検出手段の出力に応じて上記チャージポンプ回路における容量の充電もしくは放電を一定期間、継続もしくは停止させる制御手段と

を具備したことを特徴とするクロック信号発生回路。

(6) 前記周波数検出手段が、前記発振回路の出力がクロック信号として、前記入力信号がリセット信号としてそれぞれ供給されるカウンタ回路で構成されている請求項5記載のクロック信号発生回路。

(7) 前記請求項3ないし6のいずれかに記載のクロック信号発生回路が同一集積回路内に複数個設けられ、これら複数個のクロック信号発生回路内の前記各発振回路の出力を同一集積回路内の必要な箇所及び他の集積回路内に供給するように構成したことを特徴とする集積回路システム。

3. 発明の詳細な説明

〔発明の目的〕

(産業上の利用分野)

時間が制御される少なくとも1個の遅延段からなり、入力信号を遅延する第1の遅延手段と、

上記第1の遅延手段における入力信号に対する信号遅延量を検出する遅延量検出手段と、

上記入力信号と上記遅延量検出手段の検出信号が供給され、両信号のパルス幅の比に応じた直流電圧を発生するチャージポンプ回路と、

上記第1の遅延手段内の遅延段と同様に構成され、上記制御信号に基づいて信号遅延時間が制御される少なくとも1個の遅延段からなる第2の遅延手段と、

上記チャージポンプ回路の出力を上記第1、第2の各遅延手段に制御信号として帰還する第1の帰還手段と、

上記第2の遅延手段の出力をその入力側に帰還させ、出力クロック信号を得るための発振回路を上記第2の遅延手段と共に構成する第2の帰還手段と、

上記発振回路における発振周波数を検出する周波数検出手段と、

この発明は、位相同期ループ方式の信号遅延回路、クロック信号発生回路及びクロック信号発生回路を備えた集積回路システムに関する。

(従来の技術)

入力クロック信号の2倍の周波数を持つクロック信号を出力する周波数逓倍回路、発振回路を持ち、この発振回路の周波数及び位相が常に入力信号の周波数の何倍かにされ、かつ位相が一致するように、位相差を検出してフィードバック制御を行う位相同期ループ回路等は半導体集積回路内に必要に応じて構成される。

第15図はクロック信号発生回路の一種である従来の周波数逓倍回路の構成を示すものであり、第16図はそのタイミングチャートである。入力クロック信号 CLK_{IN}は排他的(イクスクルーシブ)OR回路 121の一方入力端に供給されると共に、インバータ 122 及び容量 123からなる遅延回路 124にも供給される。上記遅延回路 124の遅延出力信号 a はインバータ 125に供給される。このインバータ 125の出力信号 b は上記排他的OR回路

121の他方入力端に供給される。そして、この排他的OR回路121から通倍されたクロック信号CLK_{OUT}が得られる。

第17図は、上記排他的OR回路121における入出力信号の真理状態をまとめて示す図である。排他的OR回路に入力クロック信号CLK_{IN}と前記インバータ125の出力信号bとが入力されることにより、前記第16図のタイミングチャートに示すように入力クロック信号CLK_{IN}の2倍の周波数を持つクロック信号CLK_{OUT}が得られる。

また、第18図はクロック信号発生回路の一種である従来の位相同期ループ(Phase Locked Loop: 以下、PLLと称する)方式のデジタル周波数シンセサイザの概略的な構成を示すブロック図である。VCO(電圧制御発振器)131はローパスフィルタ132の出力電位に応じて発振周波数が制御され、基準入力周波数より高い周波数(ここではN倍の周波数)で発振する。VCO131で得られた周波数 f 。(= $N f_{REF}$)はこれを必要とする他の回路に供給されると共に、分周

器133において $1/N$ 分周され、位相検出器(位相比較器)134に入力される。この位相検出器134では、 $1/N$ 分周された f_{REF} の位相及び周波数が基準入力周波数と比較され、その比較結果が上記ローパスフィルタ132を通じてVCO131にフィードバックされる。このような構成により、基準入力周波数に応じた位相差を持つ高い周波数の信号を得ることができる。

第19図は上記周波数シンセサイザで使用される位相検出器の具体的な回路構成を示すものである。図示のように、この位相検出器はいくつかのNANDゲートとインバータとから構成されたエッジトリガー方式の良く知られたものである。なお、図中のRは前記基準入力周波数、Vは前記分周器133で $1/N$ 分周された周波数である。

ところで、前記第15図の周波数通倍回路では、入力クロック信号CLK_{IN}を遅延させ、排他的OR回路121の2つの入力信号の位相差を利用して出力クロック信号CLK_{OUT}を得るようにしている。しかし、所定の遅延量を得るためのインバータの

ある。

また、第18図の周波数シンセサイザでは、分周器における分周比が必ず整数でなければならないので、出力周波数 f は f_{REF} の整数倍に限定されており、例えばNが99.4や15.6等のように少数点以下の値を持つことはできない。そこで、 f_{REF} に少数点以下の値を持つ倍率を掛ける必要がある場合には、これを四捨五入して99や16の倍率として分周させるようにしている。しかし、この場合、Nは予め誤差を含んでいるため、この誤差のためにジッタ等の問題を引き起こしている。

(発明が解決しようとする課題)

このように従来のクロック信号発生回路では、製造条件のバラツキ等の影響や電圧依存による使用条件等による影響を受けて、出力クロック信号が安定に得られないという欠点がある。

また、従来のクロック信号発生回路、特にデジタル周波数シンセサイザでは、入力クロックのノイズにより誤動作し易い、回路パターンに工夫が必要である、チップが大型化し、製造価格が高

特性や容量の値は製造条件のばらつきに左右されると共に、インバータの特性は使用電源電圧及び周囲温度にも依存性があり、遅延量が一樣に定まらないという問題がある。従って、出力クロック信号CLK_{OUT}の“H”レベル期間(第16図中の T_H)と、“L”レベル期間(第16図中の T_L)がその都度ばらつき、最悪の場合には“H”レベル期間もしくは“L”レベル期間がほとんどない、いわゆるヒゲ状となり、場合によっては常に“H”もしくは“L”のままの状態になることもある。

さらに、第18図の周波数シンセサイザでは、位相検出器がエッジトリガー方式のものであるため、基準入力周波数にノイズ等による波形割れがあると、この波形割れも周波数の一部として誤カウントされるという問題がある。また、位相検出器自体を半導体回路装置内に組み込む際に位相比較精度の向上を図るため、第19図の回路のR入力側とV入力側との回路パターンの対称性が要求されると共に、分周器が占めるパターン面積が大きくなり、チップ面積が大型化するという問題も

価となる、入力クロック周波数に対し少数点以下の値を持つ任意倍の出力クロックを得ることができない、等の欠点がある。

この発明は上記のような事情を考慮してなされたものであり、その目的は、製造条件のバラツキ等の影響や電圧依存による使用条件等による影響を受けず、常に一定の遅延量を得ることができる信号遅延回路を提供することにある。

この発明の他の目的は、製造条件のバラツキ等の影響や電圧依存による使用条件等による影響を受けず、常に出力クロック信号を安定に得ることができるクロック信号発生回路を提供することにある。

この発明の他の目的は、複数個の集積回路でクロック信号を使用する際に、1個の集積回路内で多種類のクロック信号を形成し、これらクロック信号を他の集積回路に分配することにより、システムの小型化と消費電力の削減とを図ることができる集積回路システムを提供することにある。

〔発明の構成〕

遅延段における遅延量は、チャージポンプ回路、第1の遅延手段及び第1の論理回路からなる位相同期ループによる制御により、チャージポンプ回路内の容量に流し込む電流と流れ出れ電流との比に応じて設定され、使用電源電圧、周囲温度あるいは製造条件のばらつき等には影響を受けない。このため、第1の遅延手段からは一定の遅延量を持つ出力信号を取出すことができる。しかも、上記信号遅延回路によれば、初期値設定手段により上記制御信号に初期値が与えられることにより、所望する遅延量に近い遅延量が得られるように上記位相同期ループが予め制御されるので、上記位相同期ループが安定する時間の短縮を図ることができる。

この発明のクロック信号発生回路は、それぞれが制御信号に基づいて信号遅延時間が制御される少なくとも1個の遅延段からなり、入力信号を遅延する第1の遅延手段と、上記第1の遅延手段内の遅延段と同様に構成され、上記制御信号に基づいて信号遅延時間が制御される少なくとも1個の

(課題を解決するための手段と作用)

この発明の信号遅延回路は、それぞれが制御信号に基づいて信号遅延時間が制御される少なくとも1個の遅延段からなり、入力信号を遅延して出力信号を得る第1の遅延手段と、上記第1の遅延手段における信号遅延量を検出する第1の論理回路と、容量を有し、上記入力信号及び上記第1の論理回路の検出信号に基づいてこの容量を基準電流のそれぞれ任意倍の電流で充、放電制御することによって直流電圧を発生すると共に、このときの充、放電電流の能力比が上記入力信号と上記第1の論理回路の検出信号とのパルス幅の比の逆数となるように設定されたチャージポンプ回路と、上記チャージポンプ回路の出力を上記第1の遅延手段に制御信号として帰還する第1の帰還手段と、上記制御信号に初期値を与える初期値設定手段とを具備したことを特徴とする。

上記信号遅延回路によれば、第1の遅延手段に一定周波数の入力信号を供給することにより、この入力信号が各遅延段で遅延される。そして、各

遅延段からなる第2の遅延手段と、上記第1の遅延手段における信号遅延量を検出する第1の論理回路と、容量を有し、上記入力信号及び上記第1の論理回路の検出信号に基づいてこの容量を基準電流のそれぞれ任意倍の電流で充、放電制御することによって直流電圧を発生すると共に、このときの充、放電電流の能力比が上記入力信号と上記第1の論理回路の検出信号とのパルス幅の比の逆数となるように設定されたチャージポンプ回路と、上記チャージポンプ回路の出力を上記第1、第2の各遅延手段に制御信号として帰還する第1の帰還手段と、上記第2の遅延手段の出力をその入力側に帰還させ、出力クロック信号を得るための発振回路を上記第2の遅延手段と共に構成する第2の帰還手段と、上記制御信号に初期値を与える初期値設定手段とを具備したことを特徴とする。

上記クロック信号発生回路によれば、上記第2の遅延手段及び第2の帰還手段を追加して発振回路を構成することにより、この発振回路から入力信号よりも周波数が高くかつ一定の周波数を持つ

クロック信号を出力させることができる。

この発明のクロック信号発生回路は、それぞれが制御信号に基づいて信号遅延時間が制御される少なくとも1個の遅延段からなり、入力信号を遅延する第1の遅延手段と、上記第1の遅延手段における入力信号に対する信号遅延量を検出する遅延量検出手段と、上記入力信号と上記遅延量検出手段の検出信号が供給され、両信号のパルス幅の比に応じた直流電圧を発生するチャージポンプ回路と、上記第1の遅延手段内の遅延段と同様に構成され、上記制御信号に基づいて信号遅延時間が制御される少なくとも1個の遅延段からなる第2の遅延手段と、上記チャージポンプ回路の出力を上記第1、第2の各遅延手段に制御信号として帰還する第1の帰還手段と、上記第2の遅延手段の出力をその入力側に帰還させ、出力クロック信号を得るための発振回路を上記第2の遅延手段と共に構成する第2の帰還手段と、上記発振回路における発振周波数を検出する周波数検出手段と、上記発振周波数検出手段の出力に応じて上記チャ-

ジポンプ回路における容量の充電もしくは放電を一定期間、継続もしくは停止させる制御手段とを具備したことを特徴とする。

上記クロック信号発生回路によれば、発振周波数検出手段の出力に応じてチャージポンプ回路における容量の充電もしくは放電を一定期間、継続もしくは停止させることにより、第2の遅延手段及び第2の帰還手段からなる発振回路の発振周波数がある程度まで上昇するまで、チャージポンプ回路における容量の充電もしくは放電が一定期間、継続もしくは停止する。これにより、上記発振回路の発振周波数が所望の値に上昇するまでの時間が短縮される。

この発明の集積回路システムは、前記請求項3ないし6のいずれかに記載のクロック信号発生回路が同一集積回路内に複数個設けられ、これら複数個のクロック信号発生回路内の前記各発振回路の出力を同一集積回路内の必要な箇所及び他の集積回路内に供給するように構成したことを特徴とする。

上記集積回路システムでは、1個の集積回路内に前記請求項3ないし6のいずれかに記載のクロック信号発生回路を複数個設け、これら複数個のクロック信号発生回路で発生されるクロック信号を他の集積回路に分配することにより、システムの小型化と消費電力の削減とを図ることができる。

(実施例)

以下、図面を参照してこの発明を実施例により説明する。

第1図はこの発明に係る信号遅延回路の構成を示す回路図である。この信号遅延回路は、基準電流設定回路11、チャージポンプ回路12、ローパスフィルタ回路13、第1の遅延回路14、第1の論理回路15及び初期電圧設定回路16とから構成されている。

上記基準電流設定回路11は、上記チャージポンプ回路12において、後述する容量に流し込む電流と流れ出る電流それぞれの基準電流値を設定するものであり、電源電圧 V_{DD} の印加点と接地電圧 GND の印加点との間に直列に挿入された2個の

PチャネルのMOSトランジスタ21、22と、抵抗23及び2個のNチャネルのMOSトランジスタ24、25で構成されている。上記トランジスタ21のゲートはそのドレイン、すなわちトランジスタ22との直列接続ノードであるノード26に接続されている。上記トランジスタ22のゲートにはこの回路を動作可能にさせるイネーブル信号Enableがインバータ27を介して入力される。また、上記トランジスタ25のゲートはトランジスタ24との直列接続ノードであるノード28に接続されている。上記トランジスタ24のゲートには上記イネーブル信号Enableが入力される。

この回路では、イネーブル信号Enableが“H”にされたときにトランジスタ22、24がオンし、動作可能状態にされる。このとき、上記4個のトランジスタ21、22、24、25及び抵抗23を直列に介して所定の直流電流 I_{ref} が流れる。そして、この電流値を低く押さえるためと、上記チャージポンプ回路12における充、放電電流による電荷量を少なく押さえるため、上記抵抗23の値によってこの

電流 I_{ref} の値が決定されるように、通常は抵抗 23 の値が上記各トランジスタ 21, 22, 24, 25 のオン抵抗値よりも十分に大きくなるように設定されている。また、上記 I_{ref} の電流が流れているとき、上記ノード 26 には電圧 V_P が、ノード 28 には電圧 V_N がそれぞれ発生する。この両電圧 V_P 、 V_N は上記チャージポンプ回路 12 に供給される。

チャージポンプ回路 12 は、電源電圧 V_{DD} の印加点と出力ノード 29 との間に直列に挿入された 2 個の P チャネルの MOS トランジスタ 30, 31 と、出力ノード 29 と接地電圧 GND の印加点との間に直列に挿入された 2 個の N チャネルの MOS トランジスタ 32, 33 と、出力ノード 29 に存在している上記トランジスタ 31, 32 のドレイン容量や、配線容量等からなる寄生容量 34 によって構成されている。なお、この容量 34 は寄生容量以外に真のコンデンサを設ける場合もある。

上記両トランジスタ 30, 33 の各ゲートには、上記基準電流設定回路 11 から出力される電圧 V_P 、 V_N がそれぞれ供給される。また、上記トランジ

スタ 24 と 32 の寸法比に基づいて決定される。例えばトランジスタ 25 の W/L を 1 と仮定すると、トランジスタ 33 の W/L は A_2 (ただし、 A_2 は正の値である) に設定されている。

ここで、上記トランジスタ 30, 31 は出力ノード 29 に接続されている容量 34 に対して電流を流し込む動きをし、入力信号 CLK_{IN} が "L" であり、トランジスタ 31 がオン状態にされている期間に、トランジスタ 30 によって決定される電流値により容量 34 が充電される。他方、2 個の N チャネル MOS トランジスタ 32, 33 は上記容量 34 から電流を流し出す動きをし、論理回路 15 の出力信号 c が "H" であり、トランジスタ 32 がオン状態にされている期間に、トランジスタ 33 によって決定される電流値により容量 34 が放電される。

ローパスフィルタ回路 13 は、上記チャージポンプ回路 12 の出力ノード 29 の電圧、すなわち容量 34 の端子電圧を平滑することによって直流電圧を得るものであり、抵抗 35 と容量 36 とから構成されて

いる。なお、上記容量 34 の値が十分に大きい場合には、このローパスフィルタ回路 13 内の容量 36 ないしは抵抗 35、もしくはローパスフィルタ回路 13 そのものを省略できる場合もある。そして、このローパスフィルタ回路 13 の出力信号 d は遅延回路 14 に供給される。

上記チャージポンプ回路 12 内のトランジスタ 30 は上記基準電流設定回路 11 内のトランジスタ 21 と共にカレントミラー回路を構成している。そして、上記トランジスタ 30 に流れる電流値は、上記基準電流 I_{ref} と、トランジスタ 21 と 30 の寸法比及び場合によりトランジスタ 22 と 31 の寸法比に基づいて決定される。例えばトランジスタ 21 の W/L (チャネル幅とチャネル長の比の値であり、この値に応じてそのトランジスタの電流能力が決定される) を 1 と仮定すると、トランジスタ 30 の W/L は A_1 (ただし、 A_1 は正の値である) に設定されている。同様にチャージポンプ回路 12 内のトランジスタ 33 は上記基準電流設定回路 11 内のトランジスタ 25 と共にカレントミラー回路を構成しており、このトランジスタ 33 に流れる電流値は、上記基準電流 I_{ref} と、トランジスタ 25 と 33 の寸法

比に基づいて決定される。例えばトランジスタ 25 の W/L を 1 と仮定すると、トランジスタ 33 の W/L は A_2 (ただし、 A_2 は正の値である) に設定されている。

遅延回路 14 は、それぞれが同様に構成され、かつ縦続接続された例えば 3 個の遅延段 37, 38, 39 で構成されている。そして、最前段の遅延段 37 には上記入力信号 CLK_{IN} が供給され、遅延段 37, 38 の出力信号 a , b はそれぞれの後段の遅延段に入力信号として順次供給され、最後段の遅延段 39 の出力信号が遅延クロック信号 CLK_{OUT} として取り出される。

上記各遅延段 37, 38, 39 はそれぞれ、入力ノード 40 に一端が接続された P チャネルの MOS トランジスタ 41 と、このトランジスタ 41 の他端に入力端が接続されたインバータ 42 と、このインバータ 42 の出力端に一端が接続された P チャネルの MOS トランジスタ 43 と、このトランジスタ 43 の

他端に入力端が接続され、出力端が出力ノード44に接続されたインバータ45と、出力ノード44に入力端が接続されたインバータ46とから構成されている。これら各遅延段37, 38, 39内のトランジスタ41, 43の各ゲートには上記ローパスフィルタ回路13の出力信号dが並列に供給される。

論理回路15は前記信号cを得るための回路であり、例えば、上記遅延段38内のインバータ46の出力信号を反転するインバータ47と、このインバータ47の出力信号及び上記遅延段37内のインバータ46の出力信号が供給されるNANDゲート48と、このNANDゲート48の出力信号を反転するインバータ49とから構成されている。

初期電圧設定回路16は、電源電圧 V_{DD} の印加点と接地電圧GNDの印加点との間に直列に挿入され、電源電圧 V_{DD} を所定の抵抗比で分割した電圧 V_1 を発生する2個の抵抗50, 51と、この分割電圧 V_1 を上記イネーブル信号Enableに応じて上記ローパスフィルタ回路13の出力信号dのノードに出力制御するPチャネル及びNチャネルのMOS

トランジスタからなる伝送ゲート52及びイネーブル信号Enableを反転するインバータ53とから構成されている。なお、上記電圧 V_1 は、上記第1の遅延回路14内の各遅延段で所望する遅延量が得られるような値の近辺に設定されている。

次に上記のように構成された回路の作用を第2図のタイミングチャートを用いて説明する。イネーブル信号Enableが“H”にされると、基準電流設定回路11内のトランジスタ22, 24がオンし、基準電流設定回路11が動作状態にされる。このとき、チャージポンプ回路12内のトランジスタ31がオンする場合を考える。このとき、入力信号CLK_{IN}が“L”の期間であり、この期間を第2図に示すように t_1 とすると、この期間 t_1 内に容量34に充電される電荷量 Q_H は次式で与えられる。

$$Q_H = I_{ref} \cdot A_1 \cdot t_1 \quad \dots 1$$

次に、チャージポンプ回路12内のトランジスタ32がオンする場合を考える。このとき、論理回路15の出力信号cが“H”の期間であり、この期間を第2図に示すように t_2 とすると、この期間

t_2 内に容量34から放電される電荷量 Q_L は次式で与えられる。

$$Q_L = I_{ref} \cdot A_2 \cdot t_2 \quad \dots 2$$

ここで、 t_1 / t_2 の比の値が A_2 / A_1 の比の値に一致したとき、上記 Q_H は次の式で与えられる。

$$\begin{aligned} Q_H &= I_{ref} \cdot A_1 \cdot t_1 \\ &= I_{ref} \cdot A_1 \cdot (A_2 / A_1) \cdot t_2 \\ &= I_{ref} \cdot A_2 \cdot t_2 = Q_L \quad \dots 3 \end{aligned}$$

上記のように、 $t_1 / t_2 = A_2 / A_1$ のとき、すなわちトランジスタ30と33の電流能力比が、入力信号CLK_{IN}と論理回路15の出力信号cのパルス幅の比の逆数と一致しているときは、容量34に流れ込む電荷量と流れ出れ電荷量とが等しくなり、ローパスフィルタ回路13からの出力信号dの電圧値はある任意の値に定まることになる。このとき、信号dが供給される遅延回路14内の各遅延段では、トランジスタ41, 43それぞれのオン抵抗値が一定となり、各遅延段における信号遅延量も一定になる。

いま仮に、チャージポンプ回路12内のトランジスタ30における前記 A_1 の値が2に、トランジスタ33における前記 A_2 の値が8にそれぞれ設定されており、 A_2 / A_1 の値が4にされているとき、この回路の動作は、 $t_1 / t_2 = 4$ 、すなわち、 $t_1 = 4 \cdot t_2$ となるような場合に安定する。

ここで、もし仮に、 $t_1 > 4 \cdot t_2$ になったときを考える。チャージポンプ回路12内の容量34に充電される電荷量と、この容量34から放電される電荷量との差 Q_D は次式で与えられる。

$$\begin{aligned} Q_D &= I_{ref} \cdot A_1 \cdot t_1 - I_{ref} \cdot A_2 \cdot t_2 \\ &= I_{ref} \cdot A_1 \cdot t_1 - 4 I_{ref} \cdot A_1 \cdot t_2 \\ &= I_{ref} \cdot A_1 (t_1 - 4 t_2) \quad \dots 4 \end{aligned}$$

ここで、 $t_1 > 4 \cdot t_2$ であるから、上記4式の Q_D は、 $Q_D > 0$ となる。すなわち、この場合には、容量34に対する充電電荷量の方が放電電荷量よりも多くなり、ローパスフィルタ回路13の出力信号dの電圧値は上昇する。これにより、遅延回路14の各遅延段内のトランジスタ41, 43のオン抵抗値が高くなり、各遅延段における信号遅延

量は増大する。すなわち、図中の信号 a と b の遅延時間差である t_2 が大きくなる。この状態は、 $t_1 > 4 \cdot t_2$ の状態から $t_1 = 4 \cdot t_2$ の状態となるまで続く。そして、 $t_1 = 4 \cdot t_2$ の状態になると、容量 34 に対する充電電荷量と放電電荷量とが等しくなり、信号 d の電圧値の上昇が止まり、このまま安定する。

次に、上記とは逆に、 $t_1 < 4 \cdot t_2$ になったときを考える。このとき、上記 4 式で与えられる電荷量の差 Q_D は、 $Q_D < 0$ となり、容量 34 に対する放電電荷量の方が充電電荷量よりも多くなる。従って、ローパスフィルタ回路 13 の出力信号 d の電圧値は下降し、遅延回路 14 の各遅延段内のトランジスタ 41, 43 のオン抵抗値が低くなる。従って、各遅延段における信号遅延量は減少し、信号 a と b の遅延時間差である t_2 が小さくなる。この状態は、 $t_1 < 4 \cdot t_2$ の状態から $t_1 = 4 \cdot t_2$ の状態となるまで続く。そして、 $t_1 = 4 \cdot t_2$ の状態になると、容量 34 に対する充電電荷量と放電電荷量とが等しくなり、信号 d の電圧値の降下

を満足させるような値に素早く安定させることができる。この結果、上記実施例の信号遅延回路によれば、所望する信号遅延量を動作開始後、短時間で得ることができる。

なお、この実施例では A_1 と A_2 との比 (A_2 / A_1) の値を 4 に設定し、遅延回路 4 には 3 個の遅延段を設けることによって、 $3 \cdot t_2$ の遅延時間を得る場合について説明したが、これは A_2 / A_1 の値及び遅延回路 4 内の遅延段の数を必要に応じて増減することにより、種々の遅延時間を得ることができることはもちろんである。

第 3 図はこの発明に係るクロック信号発生回路の構成を示す回路図である。この実施例回路では、上記第 1 図の信号遅延回路に対し、第 2 の遅延回路 17 と、この遅延回路 17 の出力信号をその入力側に帰還する帰還手段としての NAND ゲート 55 からなるリング型発振回路 56 を追加するようにしたものである。

上記第 2 の遅延回路 17 はそれぞれが前記第 1 の遅延回路 14 内の 3 個の各遅延段 37, 38, 39 のそれ

が止まり、このまま安定する。

このように遅延回路 14 の各遅延段における遅延量 t_2 は、上記 A_1 と A_2 の比の値に基づき、上記チャージポンプ回路 12、ローパスフィルタ回路 13、遅延回路 14 及び論理回路 15 からなる PLL ループにより、常に一定値となるように制御される。すなわち、この実施例の場合、入力信号 CLK_{IN} が "L" になっている期間 t_1 の $1/4$ に相当する遅延量を各遅延段で得ることができ、入力クロック信号 CLK_{IN} に対する出力クロック信号 CLK_{OUT} の遅延時間は $3 \cdot t_2$ となる。

ところで、イネーブル信号 Enable が "L" の初期状態のときは、初期電圧設定回路 16 内の伝送ゲート 52 が導通しているので、2 個の抵抗 51, 52 による分割電圧 V_1 がローパスフィルタ回路 13 の出力信号 d のノードに出力されている。この後、イネーブル信号 Enable が "H" となり、上記のように PLL ループが動作を開始する際、出力信号 d の値は予め所定値に設定されているため、その後、出力信号 d の電圧値は前記 $t_1 = 4 \cdot t_2$ の関係

それと同様に構成され、縦続接続された 2 個の遅延段 57, 58 で構成されている。そして、前記第 1 の遅延回路 14 の場合と同様に、両遅延段 57, 58 内の各 2 個のトランジスタ 41, 43 (第 1 図に図示) のゲートには前記ローパスフィルタ回路 13 の出力信号 d が並列に供給されている。

上記 NAND ゲート 55 には、上記第 2 の遅延回路 17 の出力クロック信号 CLK_{OUTA} 及びイネーブル信号 Enable が入力され、この NAND ゲート 55 の出力は第 2 の遅延回路 17 の入力側に帰還されている。

この実施例のクロック信号発生回路において、第 1 の遅延回路 14 及び第 2 の遅延回路 17 内の各遅延段はそれぞれ、前記と同様に A_2 / A_1 の値が 4 のときに、入力クロック信号 CLK_{IN} の $1/8$ 周期の遅延量を有するものとする。このとき、2 個の遅延段 57, 58 からなる第 2 の遅延回路 17 は、イネーブル信号 Enable が "H" の期間にインバータとして動作する NAND ゲート 55 の出力を、 $1/8$ 周期 \times 2 段 = $1/4$ 周期だけ遅延する。このた

め、リング型発振回路56の出力信号 CLK_{OUTA}の周波数、すなわち発振周波数 f は、 $1 / (\text{入力クロック信号の } 1 / 8 \text{ 周期に相当する時間} \times 2 \text{ 段} \times 2)$ となる。すなわち、出力信号 CLK_{OUTA}の周波数 f は入力信号 CLK_{IN}の2倍の周波数になる。なお、第4図にこの実施例回路のタイミングチャートを示す。

このように、上記実施例のクロック信号発生回路によれば、入力信号の2倍の周波数信号の信号を取出すことができる。そして、この実施例の場合にも、位相同期ループによって各遅延段の遅延量が一定になるように制御されるので、出力信号 CLK_{OUTA}の周波数は製造条件のばらつき等の影響を受けずに安定する。しかも、イネーブル信号 Enableが“L”の初期状態のときは、初期電圧設定回路16内の伝送ゲート52が導通しており、2個の抵抗51、52による分割電圧 V_1 が予めローパスフィルタ回路13の出力信号 d のノードに供給されているので、イネーブル信号 Enableが“H”となり、PLLループが動作を開始した後に、短時間

このような構成において、イネーブル信号 Enableが“L”であり、初期電圧設定回路16から分割電圧 V_1 がローパスフィルタ回路13の出力信号 d のノードに出力されているとき、伝送ゲート59はオフ状態であり、MOSトランジスタ60はオンしている。従って、このとき、オン状態のMOSトランジスタ60を介して第2の遅延回路17における信号 d の経路が“H”に設定され、第2の遅延回路17及びインバータ61からなるリング型発振回路56の発振動作が停止する。次にイネーブル信号 Enableが“H”にされ、前記PLLループが動作を開始した後、第1の遅延回路14で所望する遅延量が得られるようになった時点でイネーブル信号 $\overline{\text{Enable}}$ 、 $\overline{\text{Enable}}$ が活性化される。これにより、伝送ゲート59がオン、MOSトランジスタ60がオフし、ローパスフィルタ回路13の出力信号 d が第2の遅延回路17に供給され、リング型発振回路56の発振動作が開始される。

このような構成によれば、リング型発振回路56の発振動作が開始された直後から、その出力信号

で所望する周波数の出力信号 CLK_{OUTA}を得ることができる。

第5図はこの発明のクロック信号発生回路の他の実施例による構成を示すものである。この実施例回路では、ローパスフィルタ回路13の出力信号 d をPチャネル及びNチャネルのMOSトランジスタからなる伝送ゲート59を介して前記第2の遅延回路17に供給すると共に、第2の遅延回路17における信号 d の経路と電源電圧 V_{DD} との間にPチャネルのMOSトランジスタ60を挿入するようにしたものである。また、この場合、第2の遅延回路17の出力信号を入力側に帰還する帰還手段として、前記NANDゲート55の代わりにインバータ61が用いられている。

上記伝送ゲート59は、前記イネーブル信号 Enable、 $\overline{\text{Enable}}$ よりも所定時間遅れて活性化されるイネーブル信号 $\overline{\text{Enable}}$ 、 $\overline{\text{Enable}}$ により制御されるようになっており、上記MOSトランジスタ60のゲートにはイネーブル信号 $\overline{\text{Enable}}$ が供給される。

CLK_{OUTA}の周波数は所望値に近い値となる。このため、この信号 CLK_{OUTA}を使用する図示しない他の回路では、その動作がほぼ正規の周波数のクロック信号で制御されることになり、安定した動作が行われる。

第6図はこの発明のクロック信号発生回路の他の実施例による構成を示すブロック図である。この実施例のクロック信号発生回路は、前記基準電流設定回路11、チャージポンプ回路12、ローパスフィルタ回路13、第1の信号遅延回路14、第1の信号遅延回路14内の各遅延段の遅延量検出手段である第1の論理回路15、第2の信号遅延回路17及びこの第2の信号遅延回路17の出力を入力側に帰還し、第2の信号遅延回路17と共にリング型発振回路56を構成する帰還回路18の他に、発振周波数検出回路19と、2個の論理ゲート回路 G_1 、 G_2 のいずれか一方が選択的に設けられる。なお、第1の信号遅延回路14内に前記第5図に示すような遅延段37が1個のみ設けられる場合には、図中、破線で示すように入力信号 CLK_{IN}が第1の論理回

路15に入力される。

上記発振周波数検出回路19には前記一定周波数の入力信号 CLK_{IN} 及び上記リング型発振回路56の出力信号 CLK_{OUTA} が供給される。そして、上記発振周波数検出回路19は、信号 CLK_{OUTA} の周波数に応じた信号 e を発生する。この信号 e は上記一方の論理ゲート回路G1もしくは他方の論理ゲート回路G2に供給される。

上記一方の論理ゲート回路G1は前記第1の論理回路15の出力信号 c の経路の途中に設けられており、この論理ゲート回路G1は上記発振周波数検出回路19の出力信号 e に応じて信号 c の論理レベルを制御し、チャージポンプ回路12に信号 c' として出力する。また、他方の論理ゲート回路G2はチャージポンプ回路12への入力信号 CLK_{IN} の経路の途中に設けられており、この論理ゲート回路G2は上記発振周波数検出回路19の出力信号 e に応じて入力信号 CLK_{IN} の論理レベルを制御し、 CLK_{IN}' としてチャージポンプ回路12に供給する。

次に上記実施例を具体的な回路を用いて説明す

れている。上記前段のバイナリカウンタ回路71の CLK 端子には前記リング型発振回路56の出力信号 CLK_{OUTA} が供給され、上記インバータ77の出力は上記バイナリカウンタ回路71、72の各 CL (クリア信号) 入力端子に並列に供給される。

また、論理ゲート回路G1は、前記第1の論理回路15の出力信号 c 及び上記発振周波数検出回路19の出力信号 e が供給される NOR ゲート78と、イネーブル信号 $Enable$ を反転するインバータ79と、上記 NOR ゲート78とインバータ79の出力信号が供給される NOR ゲート80とから構成されており、この NOR ゲート80の出力信号が前記信号 c' としてチャージポンプ回路12内のトランジスタ32のゲートに供給される。

この実施例回路ではさらに、ローパスフィルタ回路13の出力信号 d のノードと電源電圧 V_{DD} の印加点との間に、イネーブル信号 $Enable$ がゲートに供給されている P チャンネルの MOS トランジスタ81が挿入されていると共に、入力信号 CLK_{IN} はイネーブル信号 $Enable$ と共に $NAND$ ゲート82に供

る。

第7図のクロック信号生回路は、一方の論理ゲート回路G1を設けた場合の具体的回路構成を示すものである。

発振周波数検出回路19は、それぞれ \overline{Q} 出力端子の信号が D 入力端子に帰還され、前段の \overline{Q} 出力端子の信号が後段の CLK (クロック信号) 入力端子に供給され、4進のバイナリカウンタを構成する2個のバイナリカウンタ回路71、72と、上記両バイナリカウンタ回路71、72の Q 出力端子の信号が並列に供給される $NAND$ ゲート73と、上記 $NAND$ ゲート73の出力信号が一方の入力として、イネーブル信号 $Enable$ が他方の入力としてそれぞれ供給される2個の $NAND$ ゲートからなるフロップフロップ回路74と、上記フロップフロップ回路74の出力を反転して信号 CLK_{OUTA} の周波数に応じた信号 e を発生するインバータ75と、イネーブル信号 $Enable$ 及び入力信号 CLK_{IN} からの信号が供給される $NAND$ ゲート76及びこの $NAND$ ゲート76の出力を反転するインバータ77とから構成さ

給され、さらにインバータ83を介して各ノードに供給されている。なお、前記第2の信号遅延回路17内には1個の遅延段57のみが設けられている。

いま、この実施例回路において、発振周波数検出回路19が設けられていない場合、チャージポンプ回路12内のトランジスタ30における前記A1の値と、トランジスタ33における前記A2の値との比である $A2/A1$ の値が20にされているとする。このとき、リング型発振回路56の出力信号 CLK_{OUTA} は、前記1～4式より入力信号 CLK_{IN} に対し10倍の周波数で安定発振するはずである。ところが、イネーブル信号 $Enable$ が“L”から“H”に立ち上がった直後には、ローパスフィルタ回路13の出力ノードの信号 d はトランジスタ81によって電源電圧 V_{DD} に初期設定されている。このため、イネーブル信号 $Enable$ が“H”になってこの回路が動作を開始し、ローパスフィルタ回路13の出力信号 d が降下し、 CLK_{OUTA} が CLK_{IN} の10倍の周波数に達して安定発振するまでの値に信号 d の電圧が至るまでにはかなりの時間が必要

である。しかしながら、上記実施例回路では発振周波数検出回路19が設けられているために、上記時間を大幅に短縮することが可能である。

以下、上記実施例回路の動作を第8図のタイミングチャートを用いて説明する。

上記のように発振周波数検出回路19には4進カウンタが設けられており、このカウンタには入力クロックとして CLK_{OUTA} が、クリア入力として入力信号 CLK_{IN} がそれぞれ供給されている。いま、 $Enable$ が“H”になり、この回路が動作を開始し始めた時から、 CLK_{IN} の“H”期間に CLK_{OUTA} が3発存在するようになるまで、NANDゲート73の出力信号 f は“H”のままになっている。このため、フロップフロップ回路74の出力信号 g は“L”となり、信号 e は“H”となる。このとき、論理ゲート回路G1では、論理回路15からの出力信号 c に無関係に出力信号 c' が“H”となり、この信号 c' がゲートに供給されるチャージポンプ回路12内のトランジスタ32はオン状態になる。したがって、この期間では、論理回路15の出力信

号 c のレベルに無関係にチャージポンプ回路12では容量34の放電動作（ディスチャージ）が継続的に行われる。これにより、信号 d の電圧値は一定の傾きで低下していく。

これは、本来ならば信号 c に基づき、前記第2図中に示したような1段当たり遅延量 t_2 の期間に容量34がディスチャージ制御され、信号 d の電圧値が制御されるものである。しかし、この実施例の場合には、信号 d の電圧値が V_{DD} に近い場合には信号 c によらずに強制的に容量34を継続的にディスチャージさせることにより、信号 d の電圧値を急速に所望する値に接近させることができる。

そして、 CLK_{IN} の“H”期間に CLK_{OUTA} が3発以上存在するようになると（ CLK_{OUTA} の周波数が CLK_{IN} の6倍以上になると）、フロップフロップ回路74の出力信号 g が“H”となり、信号 e は“L”となる。このとき、論理回路G1は論理回路15からの出力信号 c をそのまま c' として出力するため、前記第1図の実施例回路と同様な動作により容量34の充、放電が行われ、入力信号

CLK_{IN} に対して10倍の周波数で安定発振するようにリング型発振回路56の動作が制御される。

第9図のクロック信号生回路は、上記第6図の実施例回路において、他方の論理ゲート回路G2を設けた場合の具体的回路構成を示すものである。

この場合、発振周波数検出回路19は、前記第7図のものからインバータ75が取り除かれており、フロップフロップ74の出力信号が信号 e として出力される。

また、論理ゲート回路G2は、前記インバータ83の出力信号を反転するインバータ84と、このインバータ84の出力信号及び上記発振周波数検出回路19の出力信号 e が供給されるNANDゲート85とから構成されており、このNANDゲート85の出力信号が前記信号 CLK_{IN}' としてチャージポンプ回路12内のトランジスタ31のゲートに供給される。

この実施例回路では、リング型発振回路56の出力信号 CLK_{OUTA} はそのまま外部に出力されずに、上記発振周波数検出回路19の出力信号 e のレベル

に応じて出力されるようになっている。すなわち、信号 CLK_{OUTA} は信号 e と共にNANDゲート86に供給され、このNANDゲート86の出力信号はインバータ87に供給され、このインバータ87の出力信号 CLK_{OUTB} が外部に出力されるようになっている。さらにこの実施例回路では、接地電圧 GND と信号 d のノードとの間にNチャネルのMOSトランジスタ88のソース、ドレイン間が挿入されている。そして、このトランジスタ88のゲートには、第10図に示すように前記信号 $Enable$ に同期したワンショット・パルス信号 $enable1$ が供給される。

この実施例回路では第10図のタイミングチャートに示すように、 $Enable$ が“H”になり、この回路が動作を開始し始めた時から、 CLK_{IN} の“H”期間に CLK_{OUTA} が3発存在するようになるまで、NANDゲート73の出力信号 f は“H”のままになっている。このため、発振周波数検出回路19の出力信号 e は“L”となる。このとき、論理ゲート回路G2では、入力信号 CLK_{IN} に無関係に

CLK_{IN}' が "H" となり、この信号 CLK_{IN}' がゲートに供給されるチャージポンプ回路12内のトランジスタ31はオフ状態になる。したがって、この期間では、入力信号 CLK_{IN}のレベルに無関係にチャージポンプ回路12では容量34の充電動作（プリチャージ）が継続的に行われなくなる。また、信号 d のノードと接地電圧 GND との間に挿入されているトランジスタ88は、信号 enable が "H" に立ち上がった際にオン状態にされ、これにより信号 d のノードの電圧が確実に降下することになる。すなわち、信号 Enable が "H" になった後に第1の信号遅延回路14内の遅延段37, 38におけるインバータ48（いずれも第5図中に図示）の出力レベルが定まらず、これらの出力が不確定となり、仮に信号 c のノードが "L" でかつ信号 d のノードがディスチャージされずに "H" レベルがダイナミック的に保持されるような場合でも、上記トランジスタ88がオンすることによって信号 d のノードの電圧がいくらかでも降下することになる。これにより、第1の信号遅延回路14に入力信号

期間中のゲートフローティング対策として、信号 Enable もしくは $\overline{\text{Enable}}$ を入力するプルアップ、プルダウン用トランジスタを第1の信号遅延回路14内の各遅延段におけるインバータ42, 45（いずれも第5図中に図示）の入力側に設ける場合もある。

このように上記第7図及び第9図の実施例回路では、リング型発振回路56の発振周波数を検出する回路を設けたことにより、前記第1図の実施例回路のように初期電圧設定回路16により信号 d に初期電圧を与えた場合と同様に、信号 d の電圧値をより早く所定値に設定することができる。これにより、安定発振するまでの時間を大幅に短縮することができる。

第11図はこの発明の他のクロック信号発生回路の構成を示す回路図である。この実施例回路は3種類の異なるクロック信号を発生する回路であり、基本的には3個の回路ブロック91, 92, 93で構成されている。

一つのブロック91は、前記基準電流設定回路11を除いて前記第5図の実施例回路と同様に構成さ

れており、信号 c のノードに "H" のパルスが確実に始り、信号 d の電位が発振周波数検出回路19によるプリチャージを阻止することで、信号 d の電位が一定の傾きで低下していくことになる。そして、CLK_{IN}の "H" 期間に CLK_{OUTA}が3発以上存在するようになると、発振周波数検出回路19の出力信号 e が "H" となる。このとき、論理ゲート回路 G2 は入力信号 CLK_{IN}をそのまま CLK_{IN}' として出力するため、前記第1図の実施例回路と同様な動作により容量34の充、放電が行われ、入力信号 CLK_{IN}に対して10倍の周波数で安定発振するようにリング型発振回路56の動作が制御される。

また、この実施例回路では、CLK_{OUTA}の周波数が CLK_{IN}の6倍以上になり、発振周波数検出回路19の出力信号 e が "H" になった時点で NAND ゲート86が開き、CLK_{OUTA}と同じ周波数の信号 CLK_{OUTB}が外部に出力される。

なお、上記実施例回路では、Enable が "L" になったとき、初期設定用あるいは Enable の "L"

れている。すなわち、このブロック91はチャージポンプ回路12、ローパスフィルタ回路13、第1の遅延回路14、第1の論理回路15、初期電圧設定回路16、第2の遅延回路17及び帰還手段としてのインバータ61を備えており、第2の遅延回路17内には2個の遅延段が設けられている。他のブロック92は、チャージポンプ回路12、ローパスフィルタ回路13、第1の遅延回路14、第1の論理回路15、初期電圧設定回路16及び第2の論理回路94を備えている。このブロック92内の第2の論理回路94は、同じブロック内の第1の遅延回路14の出力信号及び入力信号 CLK_{IN}に基づき入力信号 CLK_{IN}と同じ周波数の2相のクロック信号 $\phi 1$, $\phi 2$ を発生する。なお、上記第2の論理回路94については後に詳述する。残りのブロック93は、前記基準電流設定回路11を除いて前記第5図の実施例回路と同様に構成されている。すなわち、このブロック93はチャージポンプ回路12、ローパスフィルタ回路13、第1の遅延回路14、第1の論理回路15、初期電圧設定回路16、第2の遅延回路17及び帰還手段とし

でのインバータ81を備えており、第2の遅延回路17内には1個の遅延段のみが設けられている。そして、上記3個のブロック91、92、93にはこれら3個のブロックに共通に設けられた1個の基準電流設定回路11から前記電圧 V_P 、 V_N が供給されている。

第12図は上記ブロック92内に設けられた第2の論理回路94の詳細な構成を示すものである。図において、入力信号 CLK_{IN} 及び同じブロック内の第1の遅延回路14における最終段の遅延段39のインバータ46の出力信号とが入力されるNANDゲート95、上記両信号をそれぞれ反転する2個のインバータ96、97、上記両インバータ96、97の出力信号が入力されるNANDゲート98、上記両NANDゲート95、98の各出力信号をそれぞれ反転する2個のインバータ99、100とから構成されている。

上記実施例回路では、第13図のタイミングチャートに示すように、ブロック91は入力信号 CLK_{IN} から出力信号 CLK_{OUT1} を作り、ブロック92

は入力信号 CLK_{IN} から2相のクロック信号 $\phi 1$ 、 $\phi 2$ を作り、さらにブロック93は入力信号 CLK_{IN} から出力信号 CLK_{OUT2} を作る。なお、第13図のタイミングチャートは、各チャージポンプ回路12におけるA1とA2との比($A2/A1$)の値を4に設定した場合であるが、各ブロック毎に独立してこの比の値を設定することができる。また、各比の値は整数に限らず少数点以下の値を含む実数を選ぶことができる。

第14図は上記第11図の回路を用いたこの発明の実施例の集積回路システムの構成を示すブロック図である。この回路は、第11図に示すように3種類の異なるクロック信号 CLK_{OUT1} 、 CLK_{OUT2} 、 $\phi 1$ 、 $\phi 2$ を発生する回路を1個のLSI(大規模集積回路)110内に構成し、このLSI110で発生させた3種類のクロック信号 CLK_{OUT1} 、 CLK_{OUT2} 、 $\phi 1$ 、 $\phi 2$ を他のLSI111、112に分配させるようにしたものである。この場合、LSI110内にのみ前記入力信号 CLK_{IN} を発生させるための発振回路を内蔵させ、

かつこのLSI110に水晶振動子113及び容量114を外付けすることにより、他の2個のLSIでは発振回路等を設けることが不要になり、LSI111、112の小型化や消費電流の削減を図ることができる等の効果を得ることができる。

〔発明の効果〕

以上説明したようにこの発明によれば、製造条件のバラツキ等の影響や電圧依存による使用条件等による影響を受けず、常に一定の遅延量を得ることができる信号遅延回路を提供することができる。また、製造条件のバラツキ等の影響や電圧依存による使用条件等による影響を受けず、常に出力クロック信号を安定に得ることができる。さらに、この発明によれば、複数個の集積回路でクロック信号を使用する際に、1個の集積回路内で多種類のクロック信号を形成し、これらクロック信号を他の集積回路に分配することにより、システムの小型化と消費電力の削減とを図ることができる。

4. 図面の簡単な説明

第1図はこの発明の一実施例に係る信号遅延回路の構成を示す回路図、第2図は上記実施例回路のタイミングチャート、第3図はこの発明の他の実施例に係るクロック信号発生回路の構成を示す回路図、第4図は上記第3図の実施例回路のタイミングチャート、第5図はこの発明の他の実施例に係るクロック信号発生回路の構成を示す回路図、第6図はこの発明の他の実施例に係るクロック信号発生回路の構成を示すブロック図、第7図は上記第6図の実施例回路の具体的な構成を示す回路図、第8図は上記第7図の回路のタイミングチャート、第9図は上記第6図の実施例回路の他の具体的な構成を示す回路図、第10図は上記第9図の回路のタイミングチャート、第11図はこの発明の他のクロック信号発生回路の構成を示す回路図、第12図は上記第11図の実施例回路で使われる一部回路の具体的な構成を示す回路図、第13図は上記第11図の回路のタイミングチャート、第14図は上記第11図の回路を用いたこの

発明の実施例の集積回路システムの構成を示すブロック図、第15図は従来の周波数通倍回路の回路図、第16図は上記従来の周波数通倍回路のタイミングチャート、第17図は上記第15図の周波数通倍回路で使用する排他的OR回路における入出力信号の真理状態をまとめて示す図、第18図は従来のデジタル周波数シンセサイザの概略的な構成を示すブロック図、第19図は上記従来の周波数シンセサイザで使用する位相検出器の具体的な回路図である。

11…基準電流設定回路、12…チャージポンプ回路、13…ローパスフィルタ回路、14…第1の遅延回路、15…第1の論理回路、16…初期電圧設定回路、17…第2の遅延回路、18…帰還手段、19…発振周波数検出回路、55…帰還手段としてのNANDゲート、56…リング型発振回路、61…帰還手段としてのインバータ、G1, G2…論理ゲート回路、91, 92, 93…回路ブロック、94…第2の論理回路、110, 111, 112…LSI。

出願人代理人 弁理士 鈴江武彦

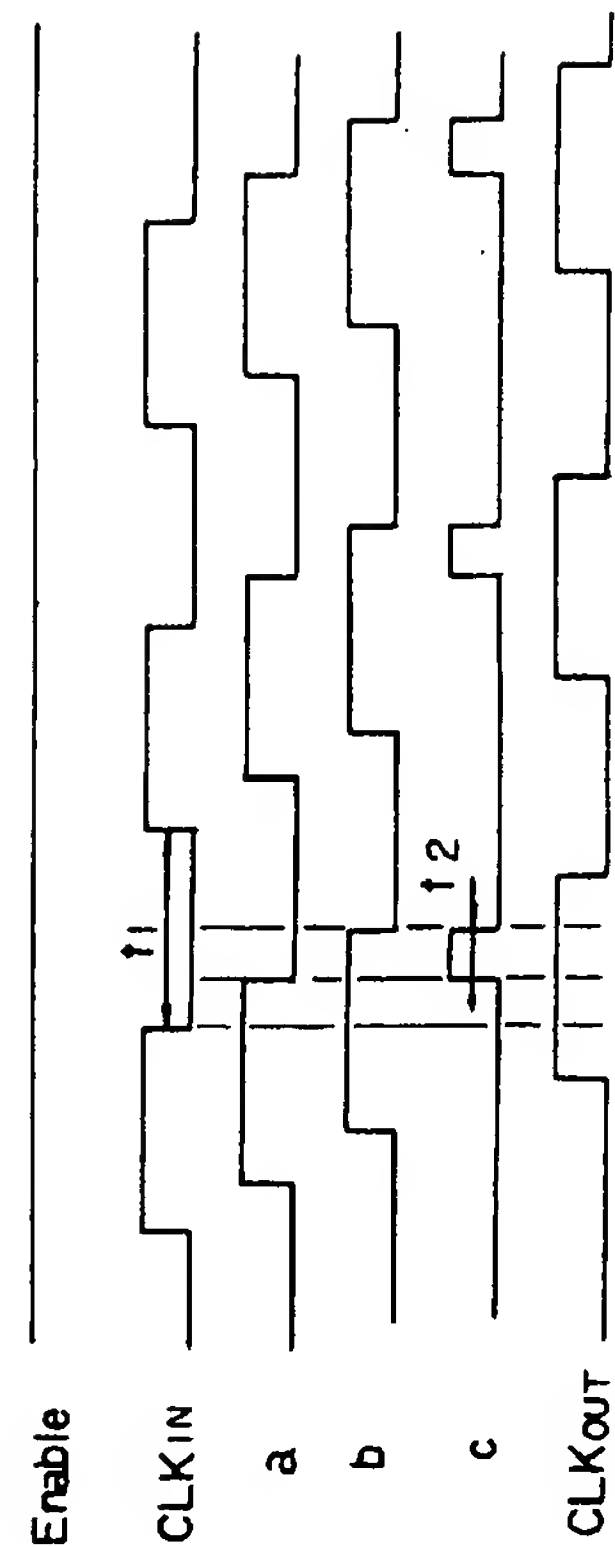
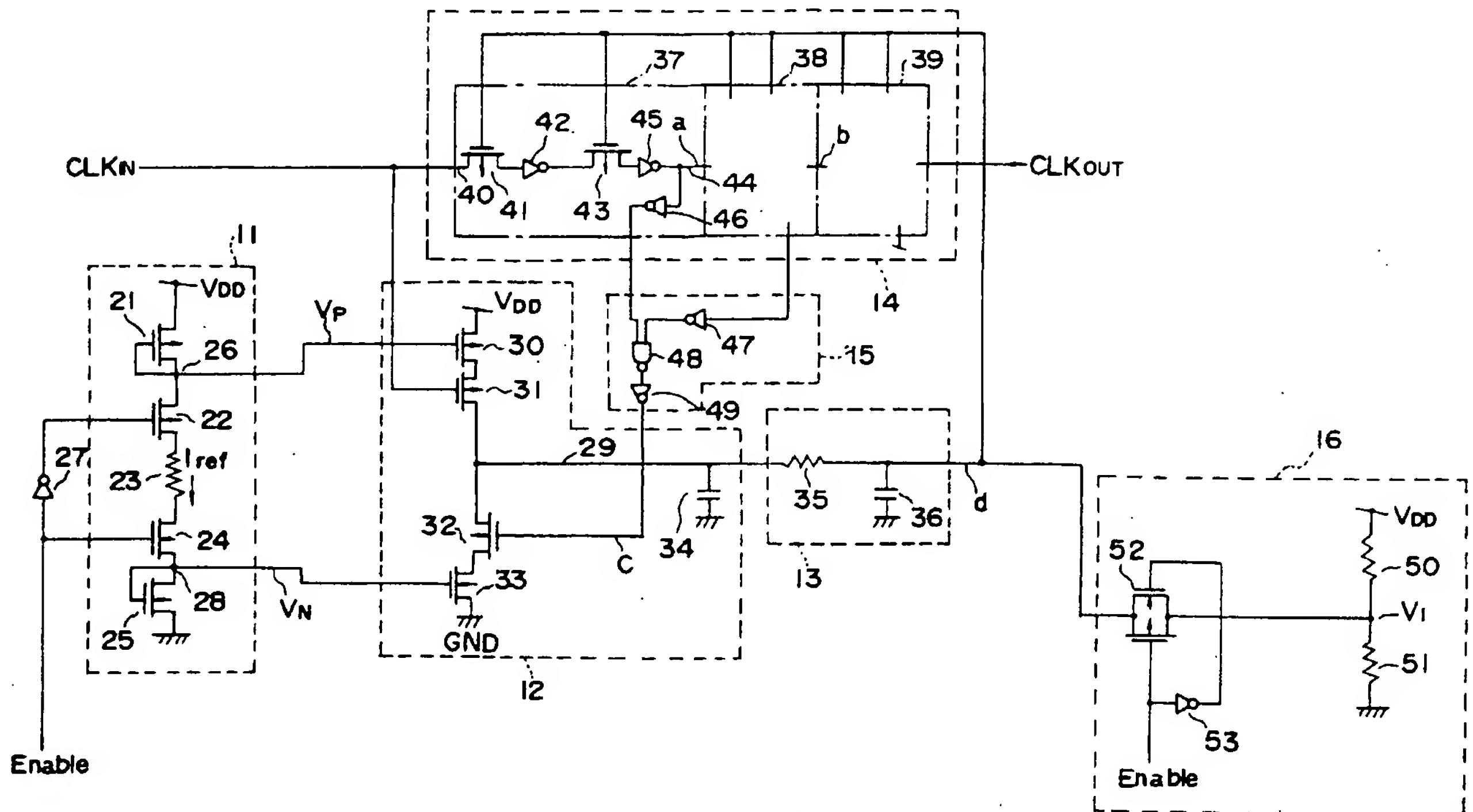
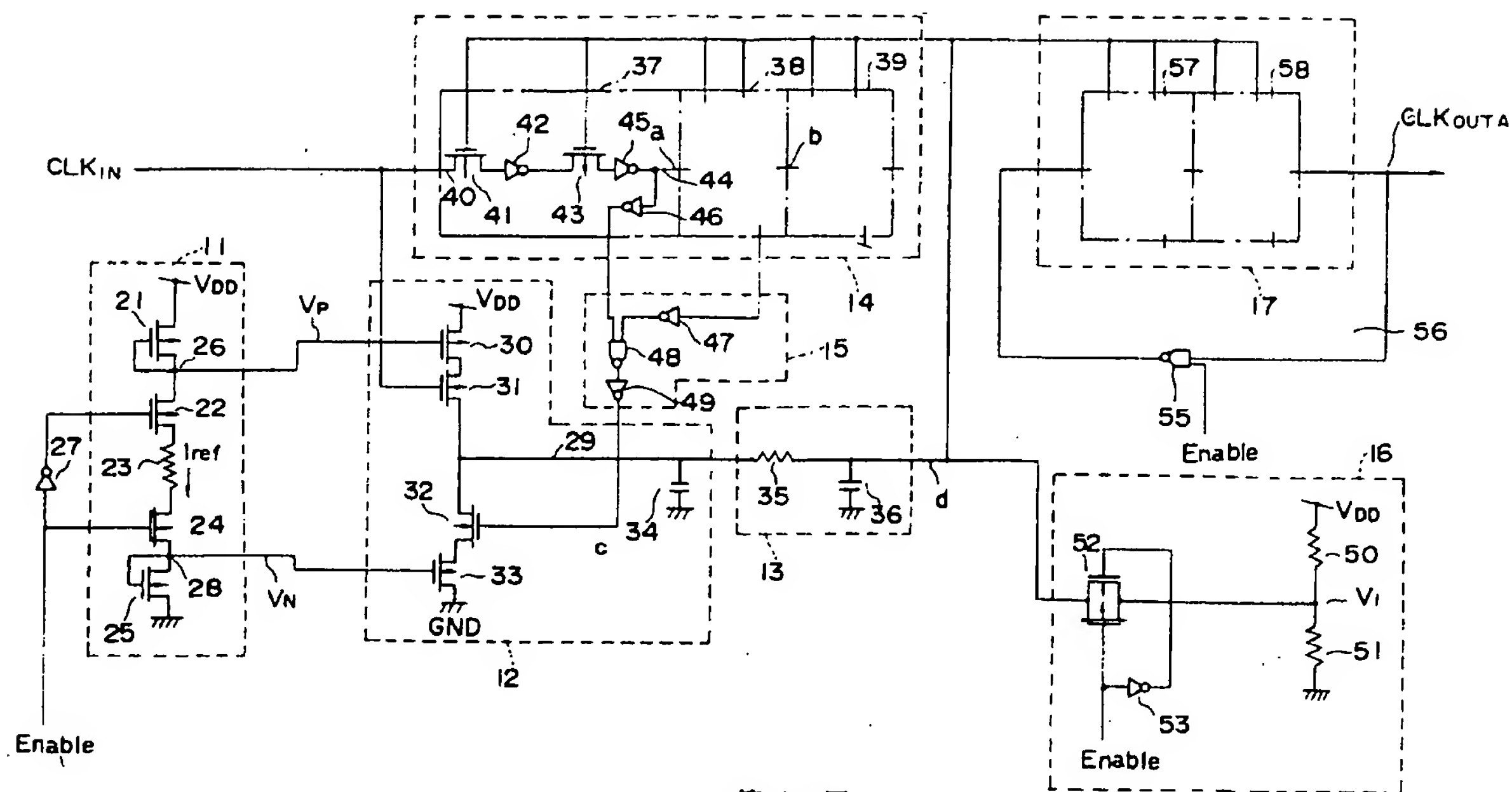


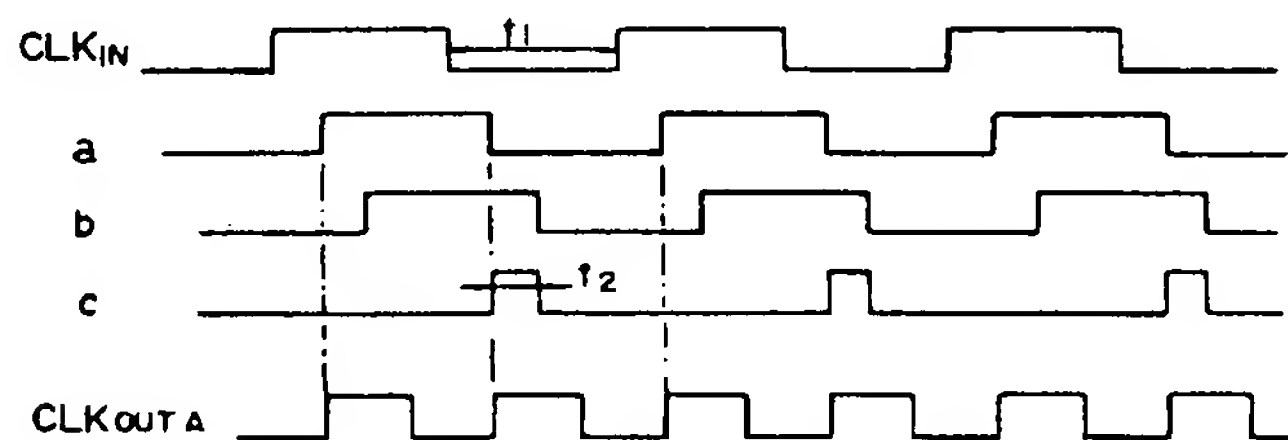
図2



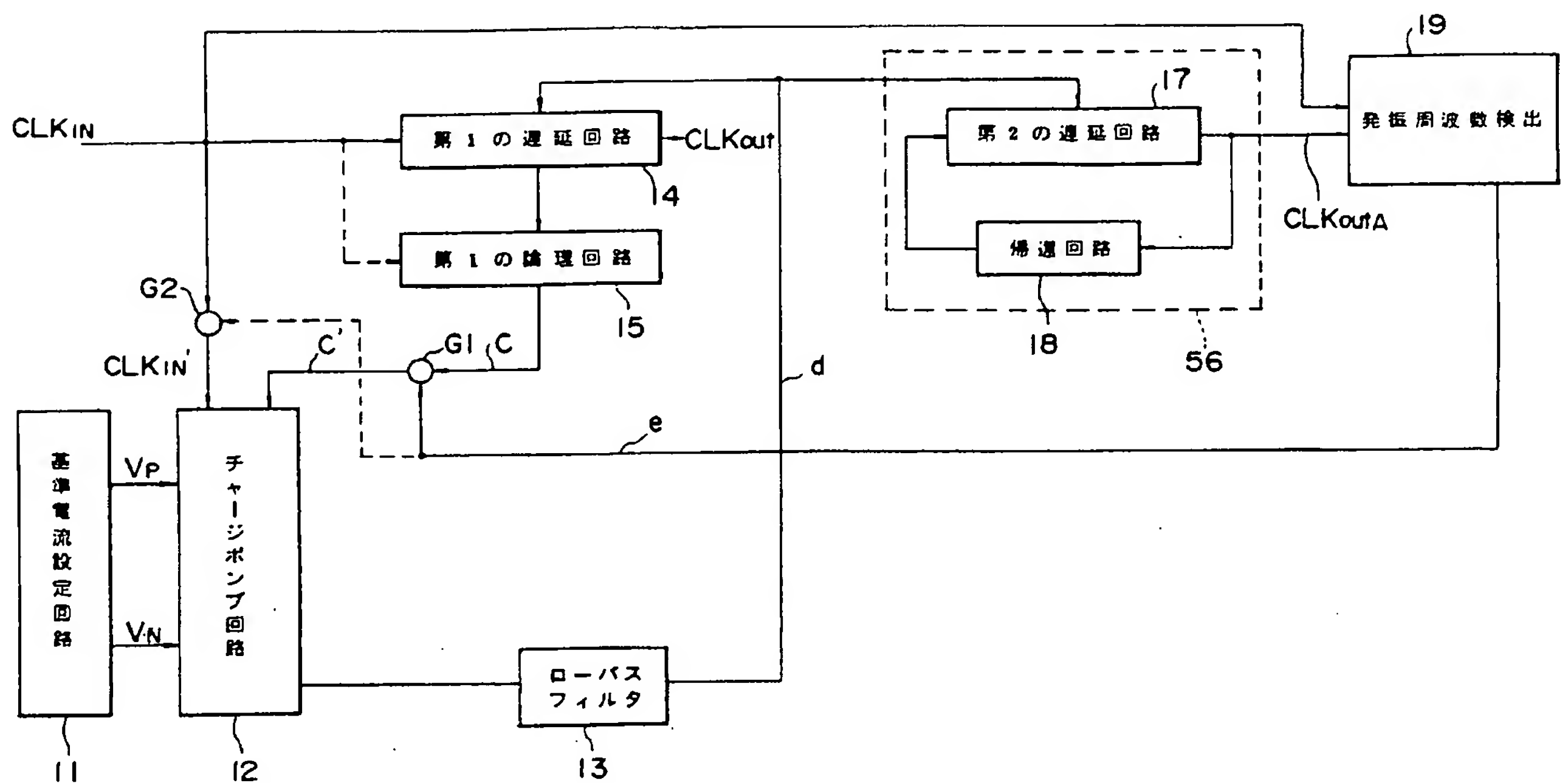
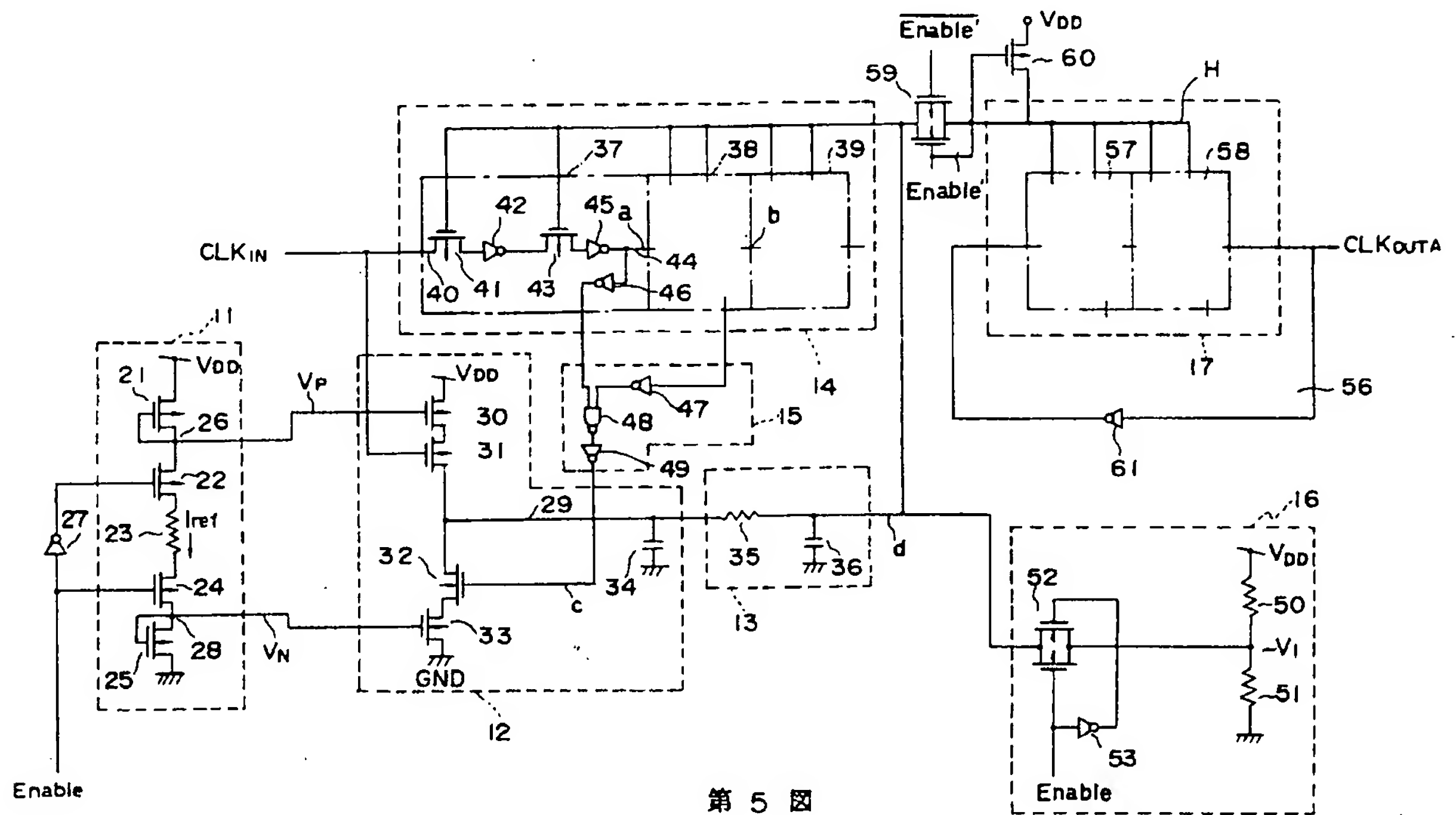
第1図

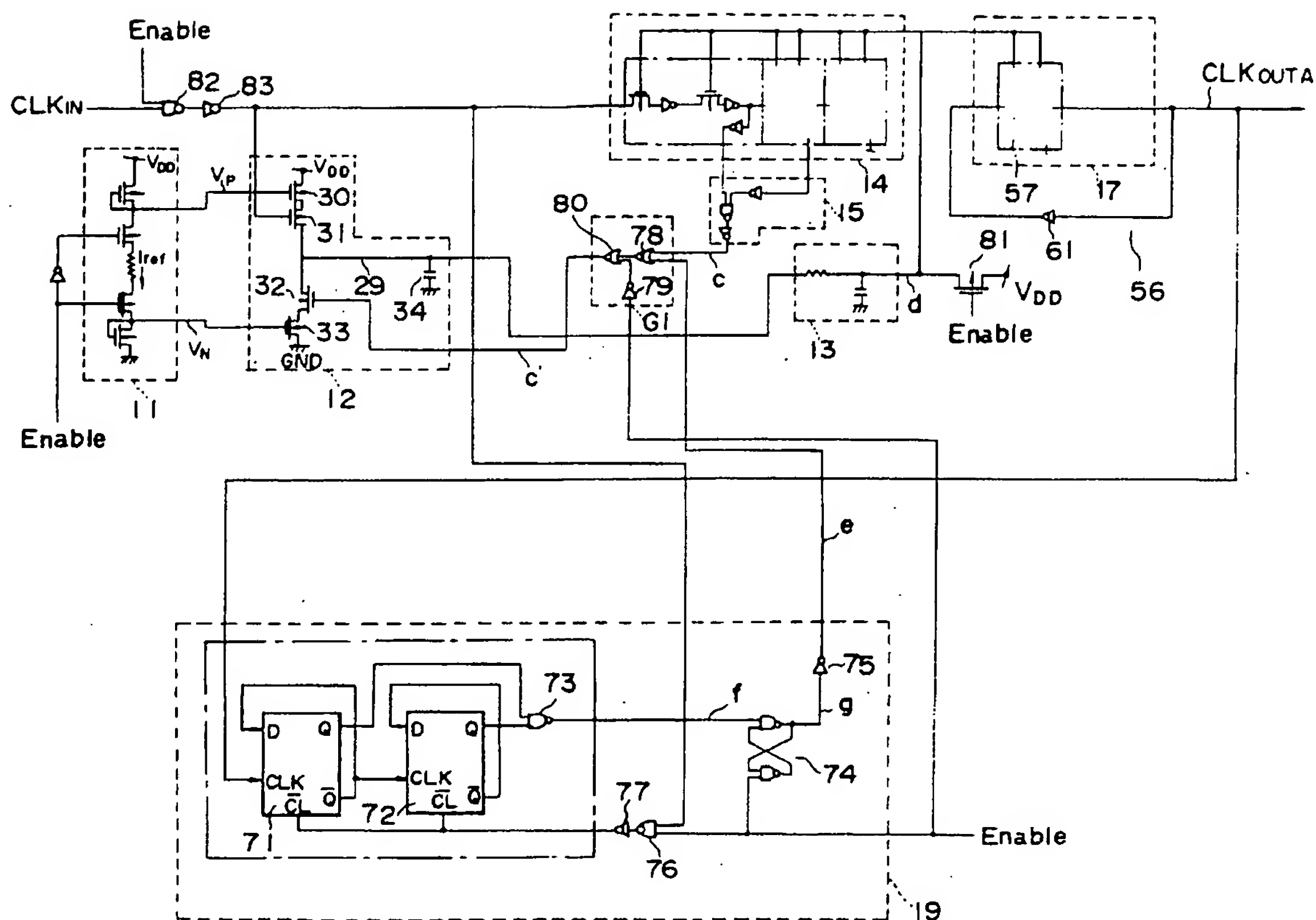


第 3 図

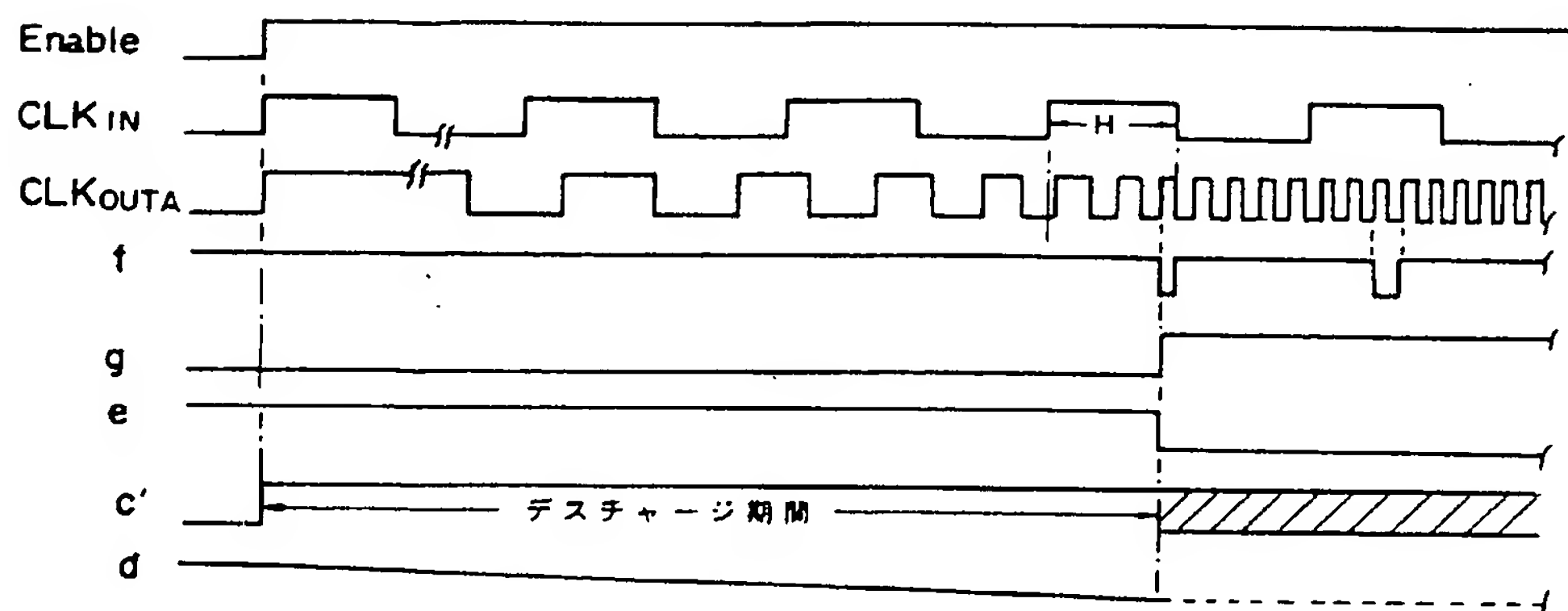


第 4 図

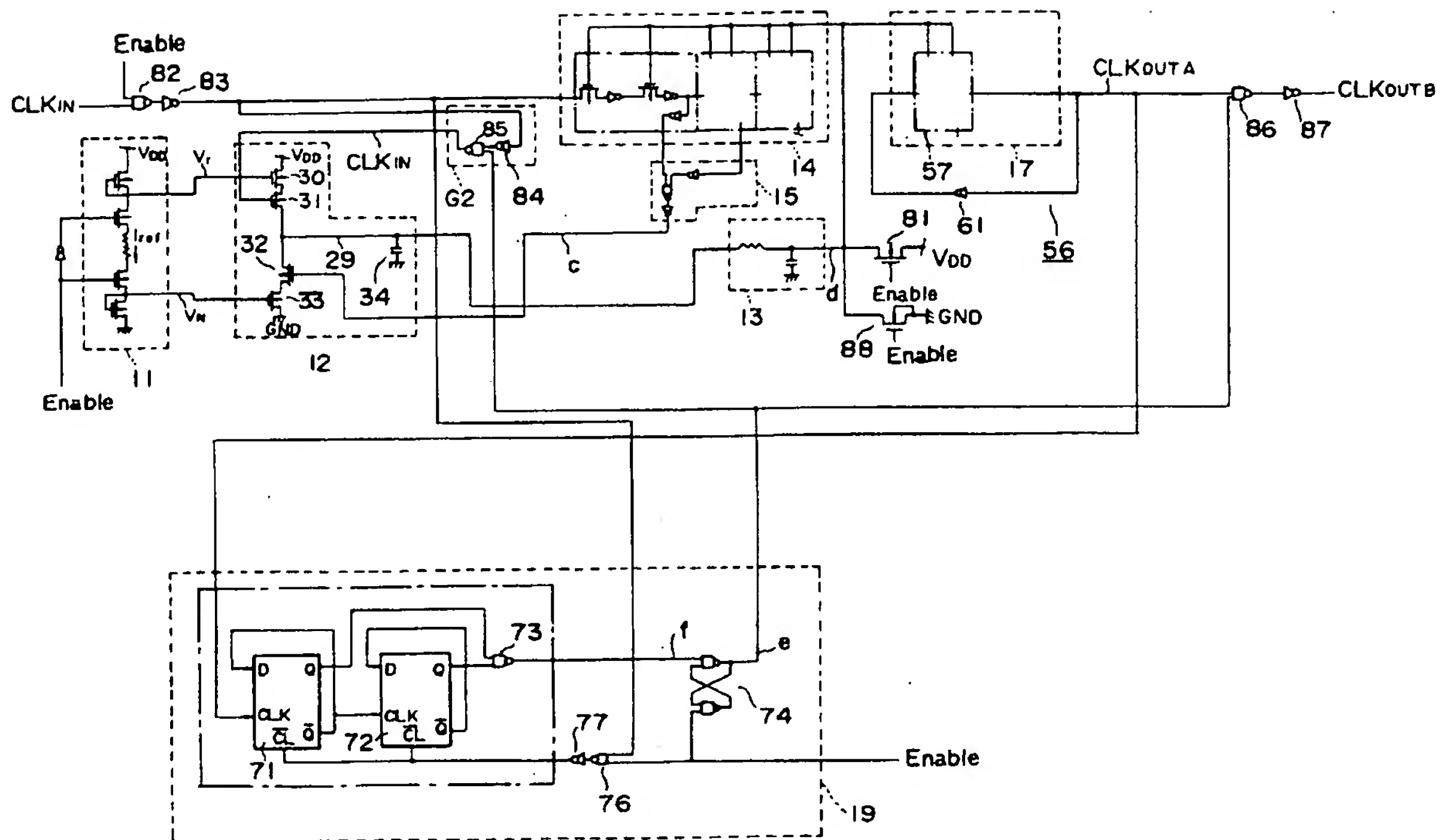




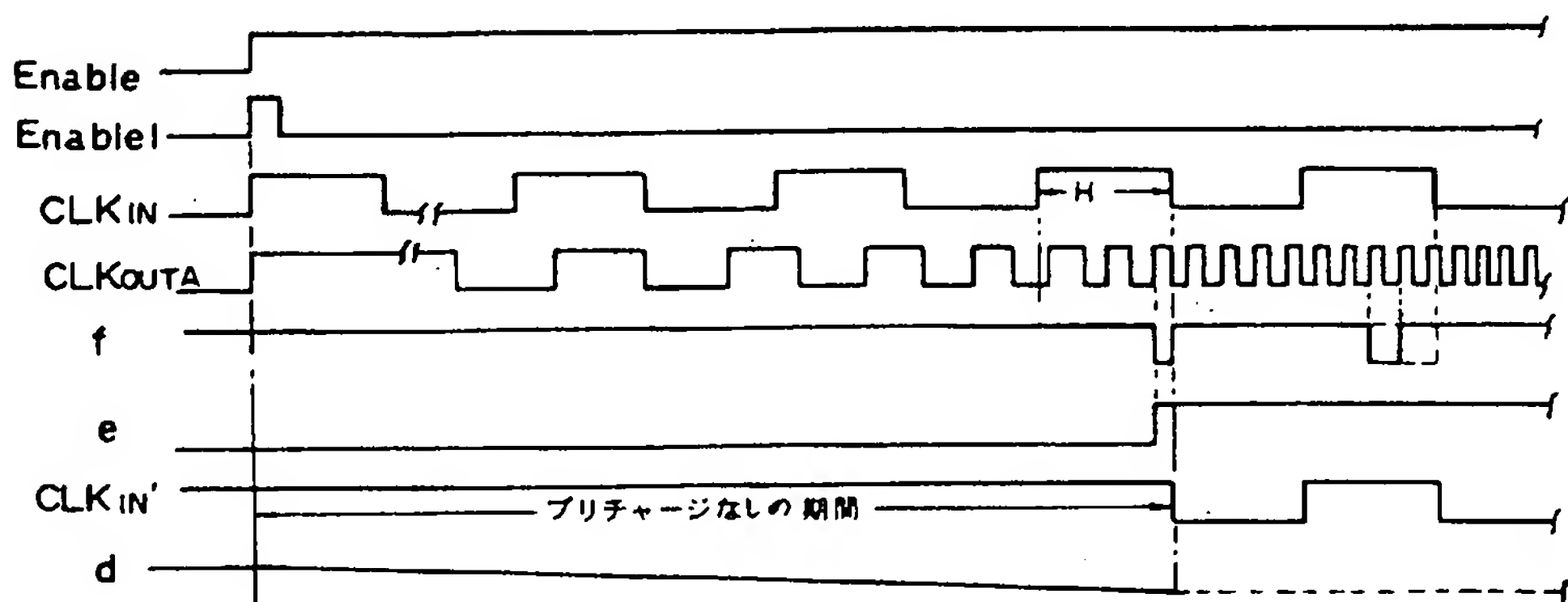
第 7 図



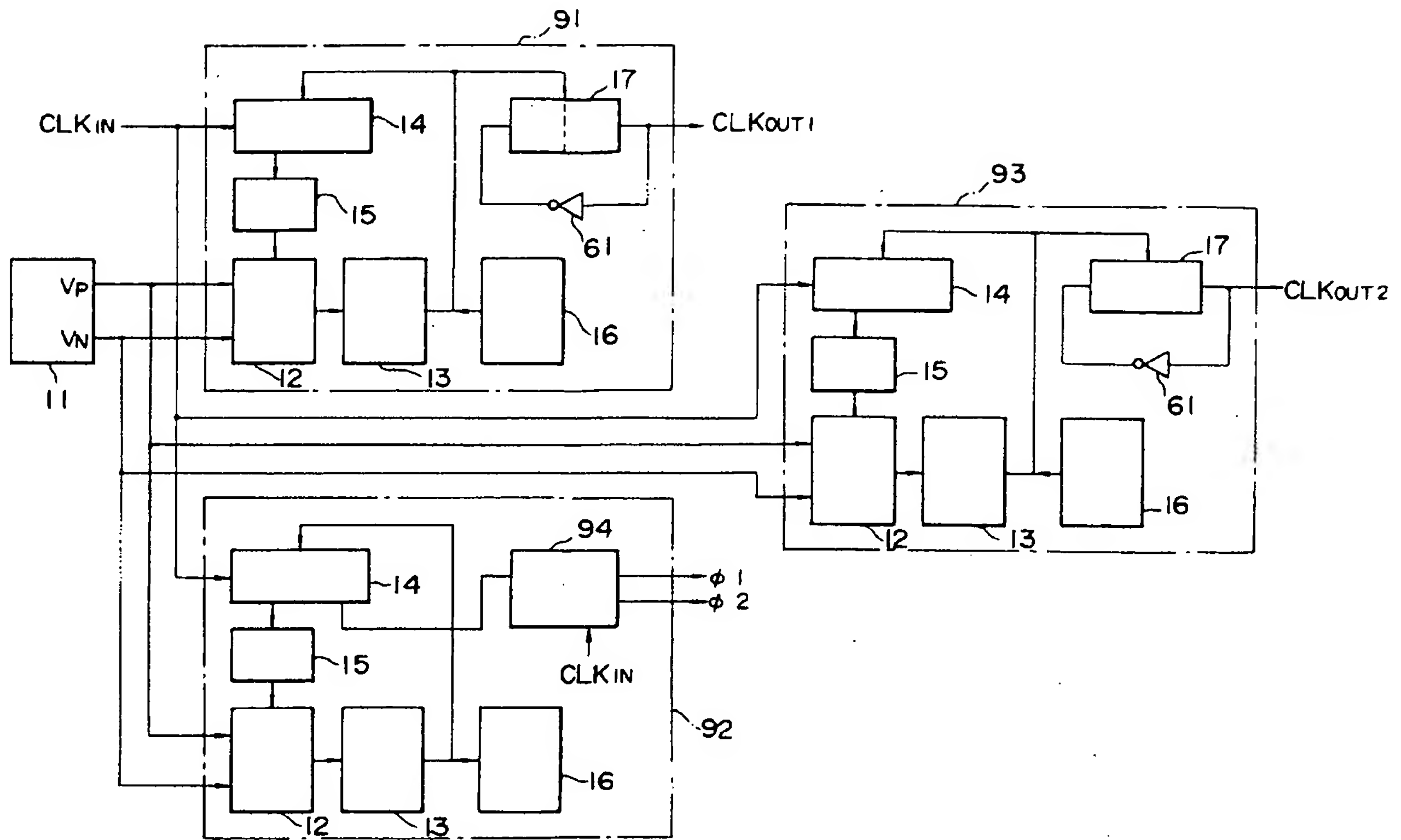
第 8 図



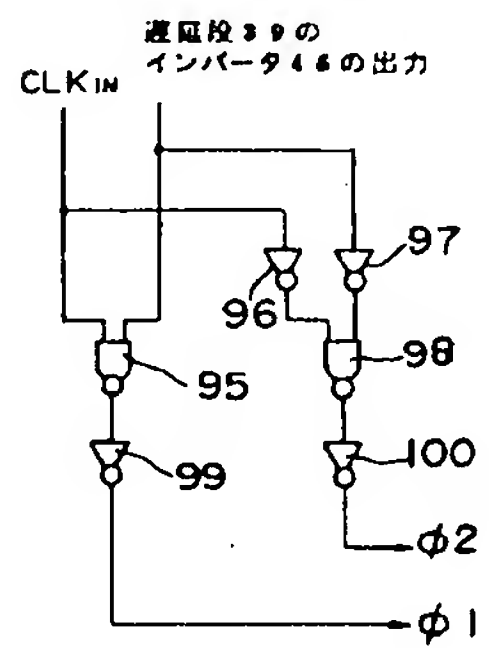
第 9 図



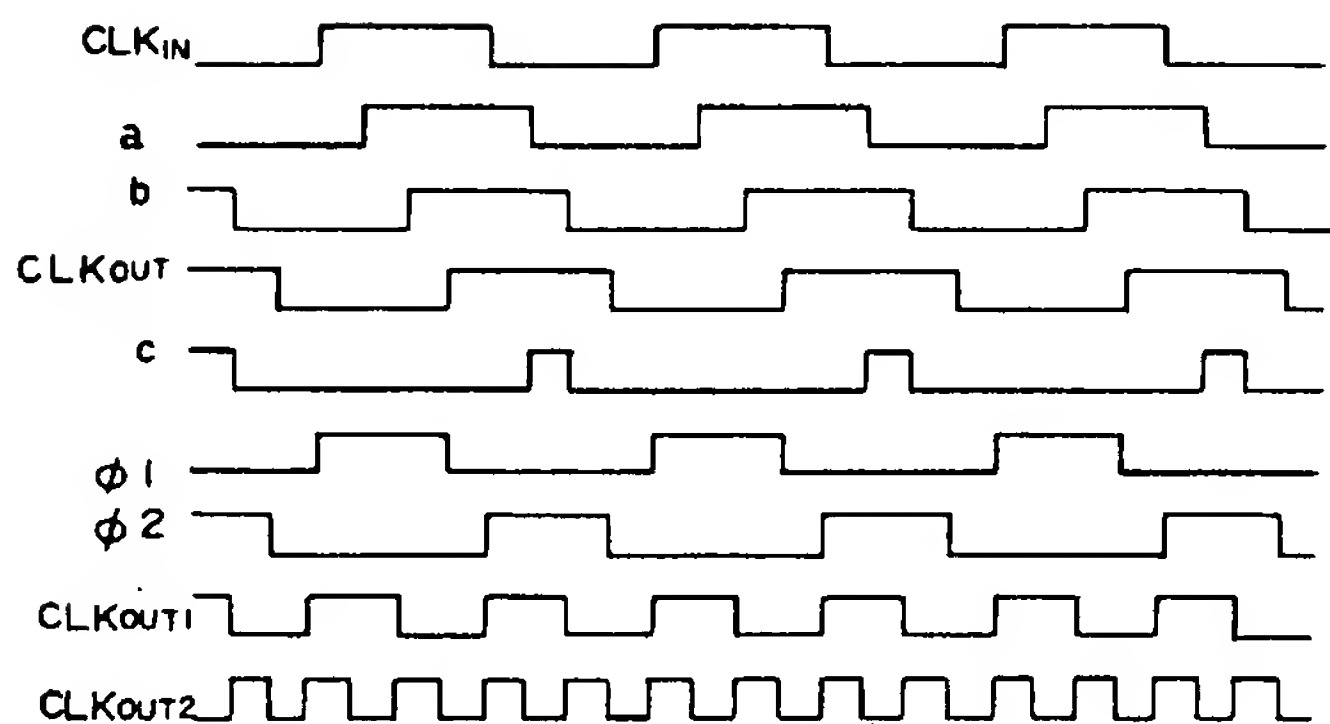
第 10 図



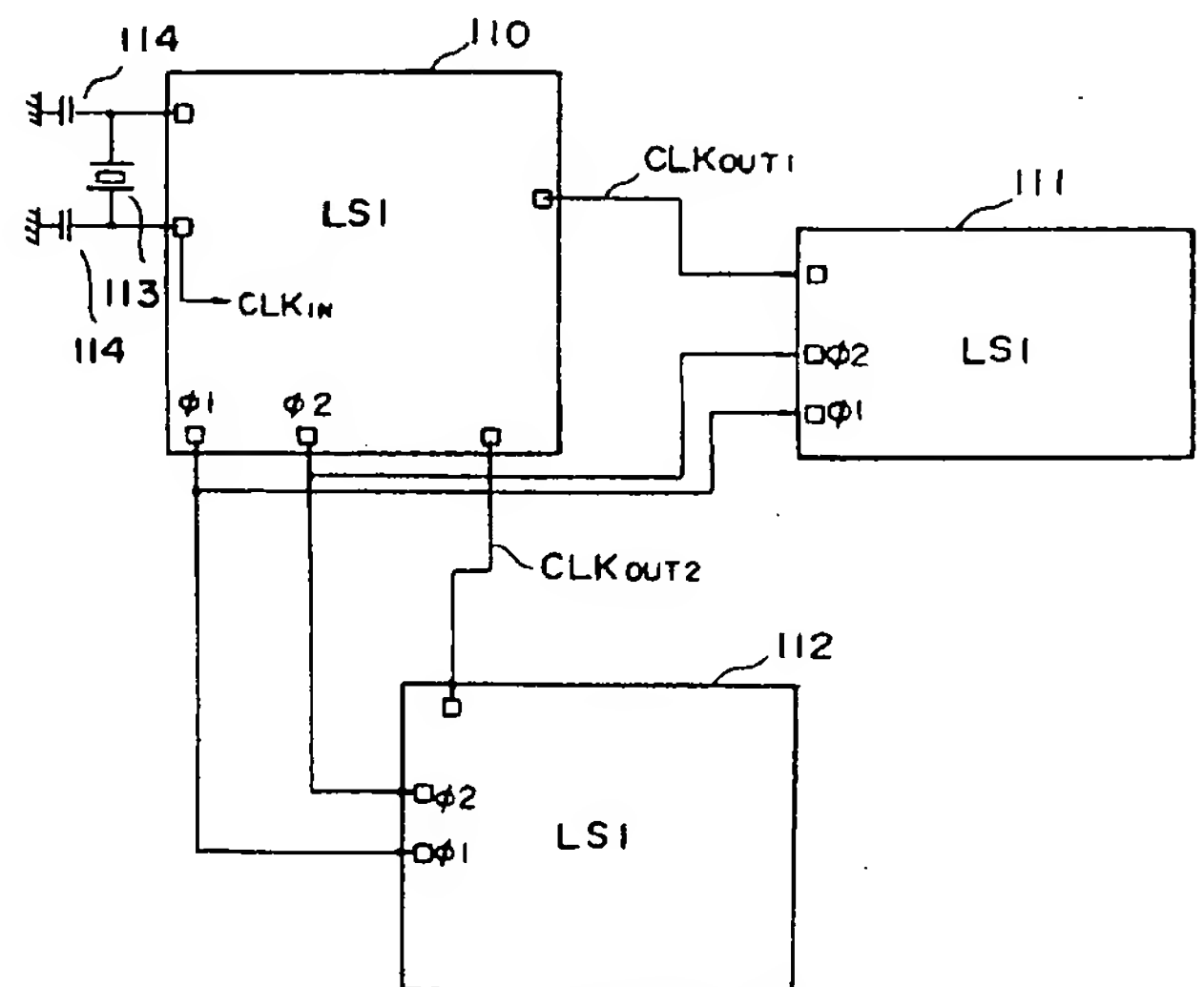
第11図



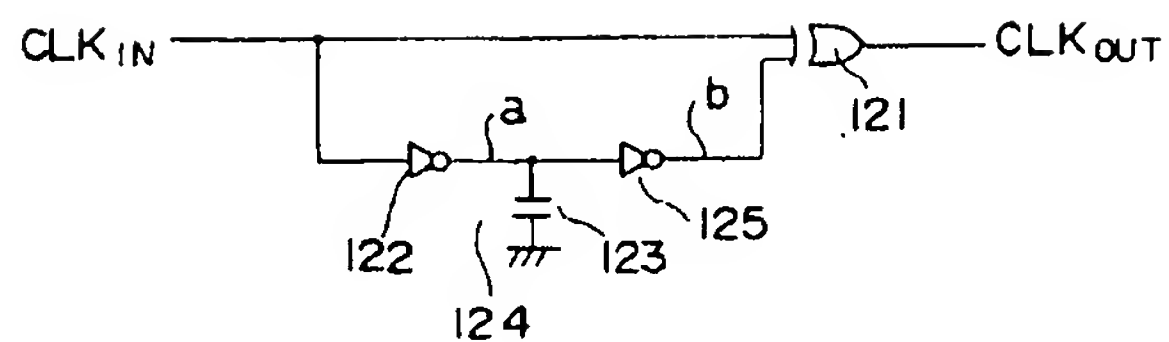
第12図



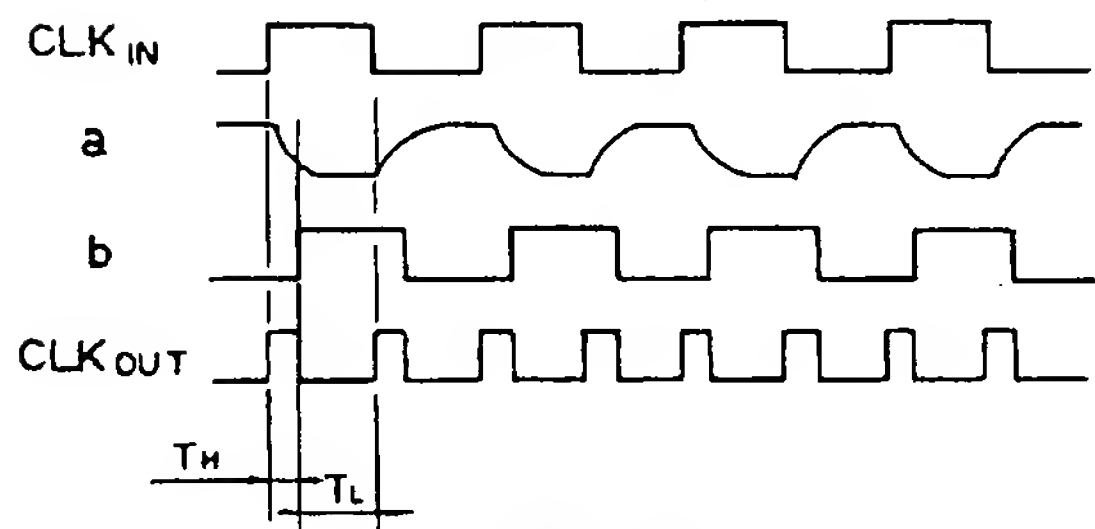
第13図



第14図



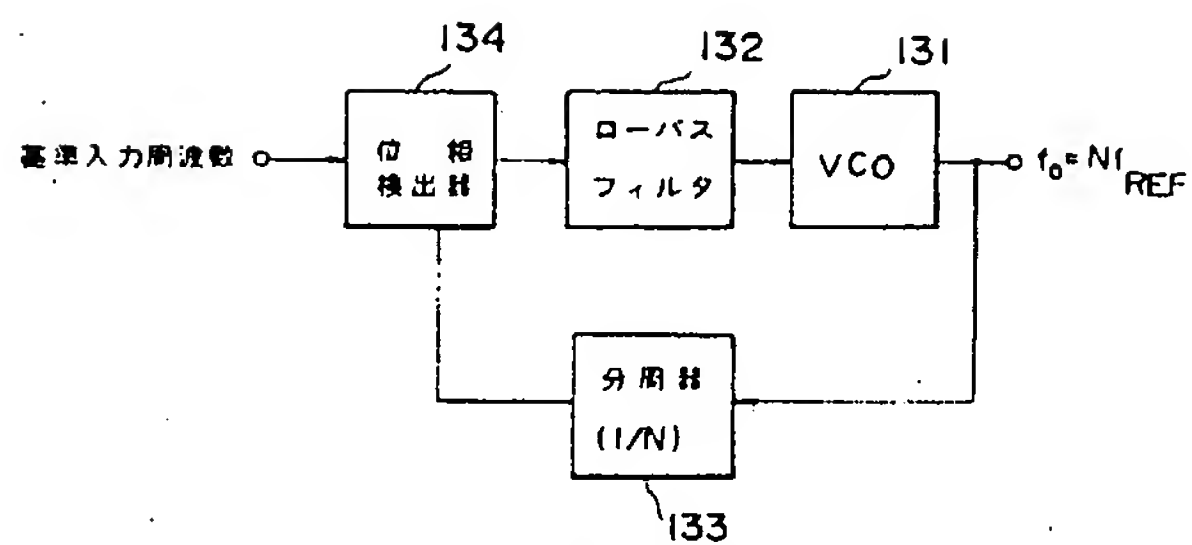
第15図



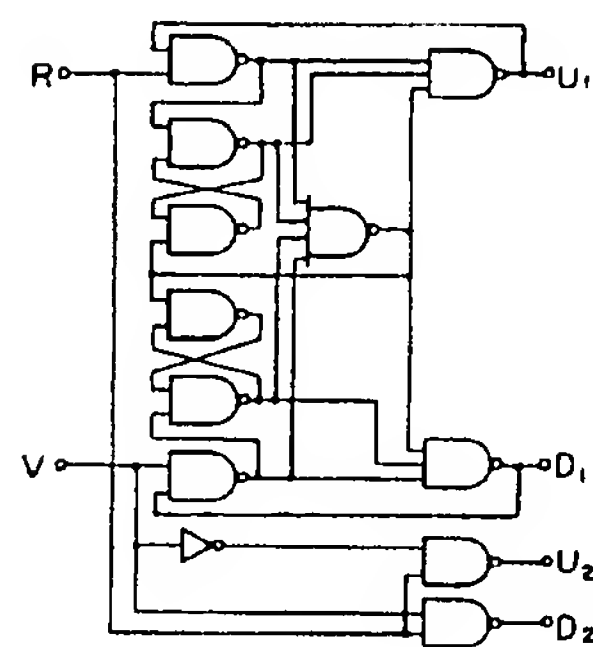
第16図

CLK _{IN}	b	CLK _{OUT}
0	0	0
1	0	1
0	1	1
1	1	0

第17図



第18図



第19図